

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-171829

(43)Date of publication of application : 23.06.2000

(51)Int.Cl. G02F 1/136
G02F 1/133

(21)Application number : 10-343488

(71)Applicant : SHARP CORP

(22)Date of filing : 02.12.1998

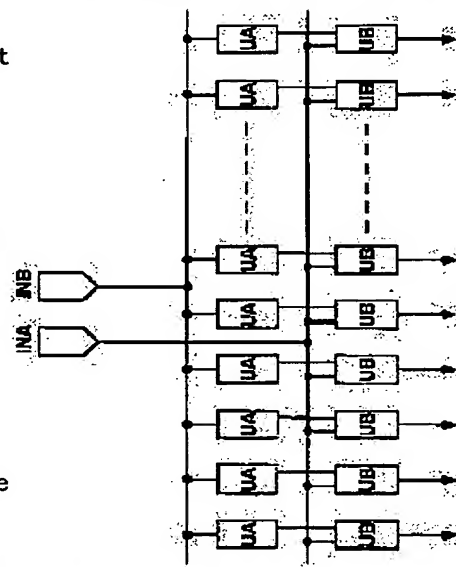
(72)Inventor : KUBOTA YASUSHI
MIKE BROWNLOW
GRAHAM CAINES
YAMASHITA HIDEHIKO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND PICTURE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress waveform distortion and timing shift of an input signal by inputting an input signal common to unit circuits from a position excepting an end part of a row of plural unit circuits in a row.

SOLUTION: A semiconductor integrated circuit is constituted of plural unit circuits UA and UB, and respective unit circuits UA, UB are respectively arranged in horizontal direction. Then, the input signals INA, INB are inputted from the central part of the semiconductor integrated circuit constituted of the unit circuits UA, UB in the row. Then, a real length of input signal wiring becomes nearly 1/2 of a usual constitution case. When an input signal wiring length becomes nearly 1/2, wiring resistance and wiring capacitance become respectively nearly 1/2, and a time constant being their product becomes nearly 1/4. This means that the wiring delay becomes extremely small. Thus, since the problems of the waveform distortion and the timing shift etc., of the input signal are avoided, stable circuit operation is realized.



LEGAL STATUS

[Date of request for examination] 27.07.2001

[Date of sending the examiner's decision of rejection] 18.03.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor integrated circuit to which it comes to input an input signal common to this unit circuit in the semiconductor integrated circuit which has two or more unit circuits arranged in the one direction from locations other than the edge of the train of two or more of these unit circuits that make a train.

[Claim 2] The semiconductor integrated circuit according to claim 1 with which it comes to prepare wiring of said input signal between said unit circuits.

[Claim 3] The semiconductor integrated circuit according to claim 1 which comes to connect wiring of said input signal with two or more parts of common wiring.

[Claim 4] The semiconductor integrated circuit according to claim 1 into which said input signal is inputted through conductive layers other than the wiring layer which constitutes said unit circuit.

[Claim 5] The data signal line by which two or more arrays were carried out in the direction of a train, and the scan signal line by which two or more arrays were carried out at the line writing direction, Two or more pixels which were surrounded by this data signal line and this scan signal line, and were arranged in the shape of a matrix, The data signal line drive circuit which supplies image data to this data signal line, and the scan signal-line drive circuit which supplies a scan signal to this scan signal line, In the active-matrix mold image display device equipped with the active element which is connected to this pixel, this data signal line drive circuit, and this scan signal-line drive circuit, and performs a display action The image display device with which either [at least] this data signal line drive circuit or this scan signal-line drive circuit consists of a semiconductor integrated circuit according to claim 1 to 4.

[Claim 6] The image display device according to claim 5 said whose input signal is a clock signal inputted into said data signal line drive circuit or said scan signal-line drive circuit.

[Claim 7] The image display device according to claim 5 said whose input signal is a video signal inputted into said data signal line drive circuit.

[Claim 8] The image display device according to claim 5 to 7 with which it comes to form either [at least] said data signal line drive circuit or said scan signal-line drive circuit on the same substrate as said pixel.

[Claim 9] The image display device according to claim 5 to 8 said whose active element is a polycrystalline silicon thin film transistor.

[Claim 10] The image display device according to claim 5 to 8 with which it comes to form said active element at the process temperature of 600 degrees C or less on a glass substrate.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor integrated circuit which makes it possible to make small wiring delay of an input signal common to a unit circuit, and the image display device using it in the semiconductor integrated circuit which has two or more unit circuits arranged in the one direction.

[0002]

[Description of the Prior Art] Generally the semiconductor integrated circuit which has two or more unit circuits takes circuitry as shown in drawing 11 .

[0003] As this semiconductor integrated circuit is shown in drawing 11 , it is constituted by two or more unit circuits UA and UB, and each unit circuits UA and UB are arranged in the longitudinal direction, respectively. Moreover, input signals INA and INB are inputted from the end of the semiconductor integrated circuit which consists of unit circuits UA and UB which make a train, and drawing 11 shows the example inputted from a left end. Therefore, the die length of input signal wiring in a circuit turns into the almost same die length as the breadth of the whole semiconductor integrated circuit in this case.

[0004] Moreover, as shown in drawing 12 , in order to reduce the substantial die length of input signal wiring, the configuration which inputs input signals INA and INB from the both ends of a circuit can be considered.

[0005] In this case, although the substantial die length of the signal wiring in a circuit serves as the abbreviation 1/2 of the breadth of the whole circuit as compared with the case where the circuitry shown in drawing 11 is taken, since leading about of wiring out of a circuit is needed, the die length of the whole input signal wiring does not become not much short.

[0006] Here, a liquid crystal display, and the data signal line drive circuit and a scan signal-line drive circuit are described as a concrete example of the semiconductor integrated circuit which is the object technique of this invention, and an image display device.

[0007] As one of the conventional image display devices, the liquid crystal display of an active-matrix drive method is known. This liquid crystal display consists of the pixel array ARY, a scan signal-line drive circuit GD, and a data signal line drive circuit SD, as shown in drawing 13 . The pixel array ARY is equipped with many scan signal lines GL and many data signal lines SL which cross mutually, and Pixel PIX is formed in the part surrounded by two data signal lines SL which adjoin two adjoining scan signal lines GL in the shape of a matrix.

[0008] The data signal line drive circuit SD samples the inputted video signal DAT synchronizing with timing signals, such as a clock signal SCK, amplifies it if needed, and serves to write in each data signal line SL. The scan signal-line drive circuit GD serves to make the data written in each pixel PIX hold while writing the video-signal data written in each data signal line SL by making sequential selection of the scan signal line GL, and controlling closing motion of the switching element in Pixel PIX synchronizing with timing signals, such as a clock signal GCK, in each pixel PIX.

[0009] Each pixel PIX shown in drawing 13 is constituted by the auxiliary capacity CS added by the field-effect transistor SW which is a switching element, the liquid crystal capacity CL which is pixel capacity, and the need as shown in drawing 14 . In drawing 14 R> 4, the data signal line SL and one electrode of the pixel capacity CL and CS are connected through the drain and the source of Transistor

SW which are a switching element, the gate of Transistor SW is connected to the scan signal line GL, and the electrode of another side of the pixel capacity CL and CS is connected to the common electrode line common to all pixels. And the permeability or reflection factor of liquid crystal is modulated by the electrical potential difference impressed to each pixel capacity CL, and the display of a liquid crystal display is performed with it.

[0010] Next, the method which writes image data in a data signal line is described. As a drive method of a data signal line, there are a point sequential drive method and a line sequential drive method. Here, only a point sequential drive method is described.

[0011] Drawing 15 shows an example of a data signal line drive circuit, and by the point sequential drive method, as shown in drawing 15, it writes it in the data signal line SL by synchronizing with the output pulse of each stage of a shift register circuit the video signal inputted into the video-signal line DAT, and opening and closing the analog switch AS of a sampling circuit.

[0012] A data signal line drive circuit generates a reversal signal / S if needed, and, more specifically, sets it to the sampling signal S, and a reversal signal /S while it amplifies the lap signal of the output signal N of two adjoining latch circuit Local Area Transports in the buffer circuit which consists of two or more inverter circuits, as shown in drawing 15. The analog switch AS of a sampling circuit is opened and closed, and image data are supplied to the data signal line SL from the video-signal line DAT using this sampling signal S, and a reversal signal / S.

[0013] Drawing 16 shows an example of a scan signal-line drive circuit, and as shown in drawing 16, it has obtained desired pulse width in this circuit by taking the lap of the output signal of adjoining latch circuit Local Area Transport, and taking the lap of this signal and the pulse width control signal GPS from the outside further by the NAND circuit.

[0014] By the way, the technique which really forms the pixel array which manages a display as shown in drawing 17 for the miniaturization of a liquid crystal display, high-resolution-izing, reduction of mounting costs, etc., and a drive circuit on the same substrate attracts attention in recent years. To constitute the transparency mold liquid crystal display used widely now from a liquid crystal display of such drive circuit one apparatus, it is necessary to use a transparence substrate for the substrate. For this reason, the polycrystalline silicon thin film transistor which can be constituted on a quartz substrate or a glass substrate is used as an active element in many cases.

[0015]

[Problem(s) to be Solved by the Invention] By the way, in the conventional image display device mentioned above, as shown in drawing 15 and drawing 16, clock signals SCK and GCK, a video signal DAT, etc. which are an input signal to a data signal line drive circuit or a scan signal-line drive circuit are inputted from the end of a drive circuit.

[0016] For this reason, since the die length of an input signal line becomes long, delay of an input signal becomes large. Consequently, there is a possibility of the timing gap by distortion and the both ends of a signal arising, and having a bad influence on a display, for example, causing the fault of a blot, a ghost, etc. Especially, this effect becomes large when the distraction lay length of clock signals SCK and GCK or a video signal DAT which is an input signal line in drawing 15 and the circuit field of drawing 16 is long.

[0017] Here, the relation between the die length of wiring and signal delay is explained using drawing 18.

[0018] When wiring is divided into a minute field, wiring resistance in each field is set to R and wiring capacity is set to C, potential [in the node n in a certain time of day t] V (n) and the relation with current i (n) which flows from Node n to a node (n+1) are expressed with the following (1) type - (3) types.

[0019]

[Equation 1]

$$V_{(t)}^{(n)} - V_{(t)}^{(n+1)} = i_{(t)}^{(n)} \cdot R \quad \dots \quad (1)$$

[0020]

[Equation 2]

$$V_{(t)}^{(n-1)} - V_{(t)}^{(n)} = i_{(t)}^{(n-1)} \cdot R \quad \dots (2)$$

[0021]

[Equation 3]

$$C \cdot (V_{(t+\Delta t)}^{(n)} - V_{(t)}^{(n)}) = (i_{(t)}^{(n-1)} - i_{(t)}^{(n)}) \cdot \Delta t \quad \dots (3)$$

[0022] Here, (3) types express the potential fluctuation after question **t at the time of minute from the time of day [in / for the current to which (2) types flow the current to which (1) type flows from Node n to a node (n+1) from a node (n-1) to Node n / Node n] t. It is [0023] when these (1) type - (3) types are solved.

[Equation 4]

$$C \cdot (V_{(t+\Delta t)}^{(n)} - V_{(t)}^{(n)}) = \frac{1}{R} \cdot \{ (V_{(t)}^{(n-1)} - V_{(t)}^{(n)}) - (V_{(t)}^{(n)} - V_{(t)}^{(n+1)}) \} \cdot \Delta t \quad \dots (4)$$

[0024] It is [0025] when a next door and this (4) type are differentiated to time amount t.

[Equation 5]

$$\frac{\partial V_{(t)}^{(n)}}{\partial t} = \frac{1}{CR} \cdot \left\{ \left(\frac{V_{(t)}^{(n+1)} - V_{(t)}^{(n)}}{(n+1) - n} \right) - \left(\frac{V_{(t)}^{(n)} - V_{(t)}^{(n-1)}}{n - (n-1)} \right) \right\} \quad \dots (5)$$

[0026] It becomes. (5) the inside of the parenthesis of the right-hand side of a formula receives a location n — since the second degree is difference, this is changed to the form of differential and can be written by the following (6) formulas.

[0027]

[Equation 6]

$$\frac{\partial V_{(t)}^{(n)}}{\partial t} = \frac{1}{CR} \cdot \frac{\frac{\partial V_{(t)}^{(n)}}{\partial n} - \frac{\partial V_{(t)}^{(n-1)}}{\partial n}}{n - (n-1)} = \frac{1}{CR} \cdot \frac{\partial^2 V_{(t)}^{(n)}}{\partial n^2} \quad \dots (6)$$

[0028] It is [0029] when potential V is rewritten in this (6) type as a function V of a location x and time of day t (x t).

[Equation 7]

$$\frac{\partial V_{(x,t)}}{\partial t} = \frac{1}{CR} \cdot \frac{\partial^2 V_{(x,t)}}{\partial x^2} \quad \dots (7)$$

[0030] It becomes.

[0031] That solution is [0032], when this (7) equation is known as a diffusion equation and assumes the conditions of $V(0, t) = V_0$, i.e., the concentration regularity in a boundary, as boundary condition.

[Equation 8]

$$V_{(x,t)} = V_0 \cdot \operatorname{erfc} \left(\frac{x}{2} \sqrt{\frac{CR}{t}} \right) \quad \dots (8)$$

[0033] It comes out. Here, an erfc function is called an error function.

[0034] The relation of the time of day t and the location x which are equivalent to a time delay which takes the same potential V as shown in this (8) type is [0035].

[Equation 9]

$$t(\text{delay}) \propto \frac{CR}{2} x^2 \quad \dots (9)$$

[0036] It comes out. That is, it turns out that the time delay t of a signal is proportional to the square of

the die length x of signal wiring.

[0037] Therefore, if the die length of signal wiring becomes long, signal delay will become large quickly, as a result the display engine performance in an image display device will also be expected to deteriorate sharply.

[0038] This invention can solve the technical problem of such a conventional technique, can make small wiring delay of an input signal common to a unit circuit in the semiconductor integrated circuit which has two or more unit circuits arranged in the one direction, and aims at offering the semiconductor integrated circuit which can control the waveform distortion of an input signal, and a timing gap, and the image display device on which a high-definition image can be displayed using this.

[0039]

[Means for Solving the Problem] In the semiconductor integrated circuit which has two or more unit circuits arranged in the one direction, it comes to input the semiconductor integrated circuit of this invention from locations other than the edge of the train of two or more of these unit circuits where an input signal common to this unit circuit makes a train, and the above-mentioned purpose is attained by that.

[0040] It is good also as a configuration which prepares wiring of said input signal between said unit circuits.

[0041] Moreover, it is good also as a configuration which connects wiring of said input signal to two or more parts of common wiring.

[0042] Moreover, it is good also as a configuration which inputs said input signal through conductive layers other than the wiring layer which constitutes said unit circuit.

[0043] Moreover, the data signal line by which two or more arrays of the image display device of this invention were carried out in the direction of a train, Two or more pixels which were surrounded by the scan signal line by which two or more arrays were carried out, and this data signal line and this scan signal line at the line writing direction, and were arranged in the shape of a matrix, The data signal line drive circuit which supplies image data to this data signal line, and the scan signal-line drive circuit which supplies a scan signal to this scan signal line, In the active-matrix mold image display device equipped with the active element which is connected to this pixel, this data signal line drive circuit, and this scan signal-line drive circuit, and performs a display action Either [at least] this data signal line drive circuit or this scan signal-line drive circuit becomes above either from the semiconductor integrated circuit of a publication, and the above-mentioned purpose is attained by that.

[0044] Said input signal considers as the configuration which is the clock signal inputted into said data signal line drive circuit or said scan signal-line drive circuit.

[0045] Moreover, said input signal considers as the configuration which is the video signal inputted into said data signal line drive circuit.

[0046] Moreover, either [at least] said data signal line drive circuit or said scan signal-line drive circuit considers as the configuration which it comes to form on the same substrate as said pixel.

[0047] Moreover, said active element considers as the configuration which is a polycrystalline silicon thin film transistor.

[0048] Moreover, said active element considers as the configuration which it comes to form at the process temperature of 600 degrees C or less on a glass substrate.

[0049] Below, an operation of this invention is explained.

[0050] This invention is inputted in the semiconductor integrated circuit which has two or more unit circuits arranged in the one direction from locations other than the edge of the train of two or more unit circuits where an input signal common to a unit circuit makes a train.

[0051] For this reason, since the die length of wiring from the input terminal section to the end of input signal wiring becomes short compared with the case where an input signal is inputted from the edge of the train of two or more unit circuits which make a train, it becomes possible to suppress distortion of a signal, and a gap of timing, and it becomes easy to realize normal circuit actuation.

[0052] Moreover, since the signal delay inside a circuit becomes small, normal actuation is performed even if only the part makes small driving force of external circuits, such as an external interface. Therefore, since the small cheap circuit of driving force can be used in this case while the power consumption of an external circuit is reducible, it is effective also when reducing the costs of a system.

[0053] In addition, if it assumes that wiring capacity is fixed when it is going to realize comparable signal delay, it will become it will be good as for 4 times in wiring resistance, and possible to attain contraction of the circuit area by reduction of wiring width of face, simplification of the manufacture process by reduction of wiring thickness, etc.

[0054] Moreover, in a semiconductor integrated circuit, since reducing wiring layers as much as possible is called for as long as it is convenient in order to reduce the manufacture costs, as for wiring for connecting an input signal to the signal line in a semiconductor integrated circuit, it is desirable to use wiring which constitutes a semiconductor integrated circuit. Then, it becomes possible to input a signal, without giving trouble to the arrangement and actuation of a unit circuit which constitute a semiconductor integrated circuit, if wiring of an input signal is carried out to the configuration prepared between unit circuits.

[0055] Moreover, since the input signal inputted from the terminal is made to transmit to a circuit, in order to suppress the waveform distortion of the signal, and delay, as for wiring, it is desirable to make it low resistance as much as possible. However, when taking the configuration which prepares wiring using the tooth space between the unit circuits mentioned above, sufficient line breadth for wiring cannot be secured from the constraint on the layout etc., but wiring resistance may become large.

[0056] On the other hand, if wiring of an input signal is carried out to the configuration linked to two or more parts of common wiring, since wiring resistance can be reduced, it becomes possible to make small waveform distortion of the signal as the whole semiconductor integrated circuit, and delay.

[0057] Moreover, it becomes possible to input a signal, without receiving constraint of a layout, since wiring can be prepared in the form where it laps with a part of unit circuit when there is only no tooth space which prepares wiring between unit circuits on a layout if it is made the configuration which inputs an input signal through conductive layers other than the wiring layer which constitutes a unit circuit.

[0058] Moreover, the image display device of this invention is an active-matrix mold image display device, and if either [at least] the data signal line drive circuit or a scan signal-line drive circuit makes it the configuration which consists of the above-mentioned semiconductor integrated circuit, the delay inside the circuit of the input signal inputted into a data signal line drive circuit or a scan signal-line drive circuit compared with the case where an input signal is inputted, from the end of the train of two or more unit circuits which make a train will become small.

[0059] This is because the die length of wiring from the input terminal section to the end of input signal wiring becomes short, as mentioned above. Consequently, since distortion of a signal and a gap of timing can be suppressed, it becomes easy to realize normal circuit actuation and it becomes possible to realize high-definition image display.

[0060] Generally, the clock signal line is carrying out the distraction of while from the edge to the other end in the whole drive circuit in the data signal line drive circuit of an image display device, and the scan signal-line drive circuit. In such wiring, since signal delay is proportional to the square of a wire length as mentioned above, the signal delay inside a circuit becomes very large, and we are anxious about the waveform distortion of a signal wave form and a gap of timing occurring.

[0061] Since these drive circuits operate synchronizing with a clock signal, when faults, such as waveform distortion and a gap of timing, arise in a clock signal, the incorporation timing of a video signal shifts and they have a possibility that trouble may appear also in a display image.

[0062] On the other hand, since the wiring delay of a clock signal can be stopped by inputting this clock signal from the center section except the edge of a data signal line drive circuit or the above-mentioned scan signal-line drive circuit, it becomes possible to realize the image display device of good display grace.

[0063] Moreover, generally the video-signal line is carrying out the distraction of while from the edge to the other end in the whole drive circuit like the clock signal line in the data signal line drive circuit of an image display device. In such wiring, since signal delay is proportional to the square of a wire length as mentioned above, the signal delay inside a circuit becomes very large, and we are anxious about the waveform distortion of a signal wave form and a gap of timing occurring. Since the above-mentioned data signal line drive circuit incorporates a video signal synchronizing with a clock signal, if faults, such as waveform distortion and variation of delay, arise in a video signal, the incorporation timing of a video signal may shift, therefore trouble may appear also in a display image.

[0064] On the other hand, since the wiring delay of a video signal can be stopped by inputting this video signal from the center section except the edge of a data signal line drive circuit, it becomes possible to realize the image display device of good display grace.

[0065] Moreover, since the die length equivalent to the viewing area of an image display device is generally covered and the data signal line drive circuit and the scan signal-line drive circuit are carrying out the distraction, the wire length of input signals, such as a clock signal line and a video-signal line, is in the inclination to become very long and for the wiring delay and waveform distortion of an input signal to also become large.

[0066] Therefore, if either [at least] a data signal line drive circuit or a scan signal-line drive circuit makes it the configuration currently formed on the same substrate as a pixel, it will become possible to suppress the waveform distortion of an input signal, the variation of delay, etc., and to realize a good display.

[0067] Moreover, since the data signal line drive circuit for driving the pixel for displaying and a pixel in this case and a scan signal-line drive circuit can be manufactured at the same process on the same substrate, it becomes possible to aim at reduction of manufacture costs or mounting costs, and improvement in the rate of a mounting excellent article.

[0068] Moreover, if the active element which is connected to a pixel, a data signal line drive circuit, and a scan signal-line drive circuit, and performs a display action makes it the configuration which is a polycrystalline silicon thin film transistor, compared with an amorphous silicon thin film transistor, the property that driving force is very high will be acquired. In addition, a pixel, a data signal line drive circuit, and a scan signal-line drive circuit can be easily formed on the same substrate.

[0069] Moreover, a polycrystalline silicon thin film transistor needs to enlarge size of a transistor, when it constitutes a data signal line drive circuit using this compared with a single crystal silicon transistor, since driving force is small in single figure – about double figures. Consequently, since it is in the inclination for the load-carrying capacity of signal wiring to also become large, and for delay of a signal line and waveform distortion to also become large, the operation effectiveness by taking the configuration of the semiconductor integrated circuit of this invention mentioned above is expectable.

[0070] Moreover, since the easy cheap and glass of enlargement can be used as a substrate although point [distortion] temperature is low if the above-mentioned active element makes it the configuration formed at the process temperature of 600 degrees C or less on a glass substrate, it becomes possible to reduce the manufacture costs of a large-sized image display device.

[0071]

[Embodiment of the Invention] Below, the gestalt of operation of this invention is concretely explained based on a drawing.

[0072] (Operation gestalt 1) The example of a configuration of the semiconductor integrated circuit by the operation gestalt 1 of this invention is shown in drawing 1 .

[0073] In the semiconductor integrated circuit which has two or more unit circuits arranged in the one direction, it comes to input this semiconductor integrated circuit from locations other than the edge of the train of two or more unit circuits where an input signal common to a unit circuit makes a train.

[0074] As this semiconductor integrated circuit is shown in drawing 1 , it is constituted by two or more unit circuits UA and UB, and, specifically, each unit circuits UA and UB are arranged in the longitudinal

direction, respectively. Moreover, input signals INA and INB are inputted from the central part of the semiconductor integrated circuit which consists of unit circuits UA and UB which make a train, and the substantial die length of input signal wiring serves as the abbreviation $1/2$ in a configuration conventionally which is shown in drawing 11 .

[0075] If about $1/2$ of substantial wire lengths L of an input signal is set to 2 as shown in drawing 2 , the wiring resistance R and about $1/2$ of wiring capacity C are set to 2, respectively, about $1/2$ of time constants which are the product is set to 4, and wiring delay means becoming very small. Therefore, since problems, such as waveform distortion of an input signal and a timing gap, are avoided, the stable circuit actuation is realizable.

[0076] At this time, as shown in drawing 1 , wiring of an input signal INA may let between two unit circuits UA pass. Moreover, it is good also as a configuration as which conductive layers other than the wiring layer which constitutes the unit circuit UA are prepared on the unit circuit UA, and an input signal is inputted through this conductive layer. In this case, the constraint on the layout about a unit circuit and wiring is lost.

[0077] Moreover, as shown in drawing 3 , wiring of an input signal considers as the configuration connected to two or more parts of common wiring, an input signal may be made to be inputted into a unit circuit from two or more parts, and drawing 3 shows the example in which wiring of an input signal is connected to two places. In this case, a unit circuit can be connected with an input terminal by lower resistance, and the waveform distortion of an input signal and delay can be suppressed.

[0078] In addition, the contents which described this operation gestalt 1 are similarly applied in other operation gestalten of all that are explained below.

[0079] (Operation gestalt 2) The example of a configuration of the data signal line drive circuit of the image display device by the operation gestalt 2 of this invention is shown in drawing 4 .

[0080] The data signal line by which this image display device is an active-matrix mold image display device, and two or more arrays were carried out in the direction of a train here, Two or more pixels which were surrounded by the scan signal line by which two or more arrays were carried out, and a data signal line and a scan signal line at the line writing direction, and were arranged in the shape of a matrix, The data signal line drive circuit which supplies image data to a data signal line, and the scan signal-line drive circuit which supplies a scan signal to a scan signal line, It has the active element which is connected to a pixel, a data signal line drive circuit, and a scan signal-line drive circuit, and performs a display action, and a data signal line drive circuit consists of a semiconductor integrated circuit by the above-mentioned operation gestalt 1 at least.

[0081] This data signal line drive circuit is a circuit which constitutes some liquid crystal displays shown in drawing 13 , as shown in drawing 4 , a clock signal SCK is inputted into all latch circuit Local Area Transports that consist of a shift register circuit, a logical circuit, an analog switch AS, etc., and constitute a shift register circuit, and, specifically, the video signal DAT is supplied to all the analog switches AS. Here, in the clock signal SCK and the video signal DAT, since [of a drive circuit] it is mostly inputted into the central part, the wire length of a substantial input signal serves as the full abbreviation $1/2$ of a data signal line drive circuit from the exterior.

[0082] Therefore, since it is set to 4 about $1/2$ when an input signal is inputted from the end of a drive circuit, the waveform distortion of these signal lines and delay become possible [controlling the timing which writes a video signal DAT in the data signal line SL very with high precision compared with the former]. Consequently, the liquid crystal display which can display a high definition image is realizable.

[0083] (Operation gestalt 3) The example of a configuration of the scan signal-line drive circuit of the image display device by the operation gestalt 3 of this invention is shown in drawing 5 .

[0084] This image display device consists of a semiconductor integrated circuit according [a scan signal-line drive circuit] to the above-mentioned operation gestalt 1 at least in the same active-matrix mold image display device as the above-mentioned operation gestalt 2.

[0085] This scan signal-line drive circuit is a circuit which constitutes some liquid crystal displays

shown in drawing 13 , as shown in drawing 5 , a clock signal GCK is inputted into all latch circuit Local Area Transports that consist of a shift register circuit, a logical circuit, etc., and constitute a shift register circuit, and, specifically, the pulse control signal GPS is supplied to all logical circuits. Here, in the clock signal GCK and the pulse control signal GPS, since [of a drive circuit] it is mostly inputted into the central part, the wire length of a substantial input signal serves as the full abbreviation 1/2 of a scan signal-line drive circuit from the exterior.

[0086] Therefore, since it is set to 4 about 1/when an input signal is inputted from the end of a drive circuit, the waveform distortion of these signal lines and delay become possible [controlling the timing of the scan signal GL very with high precision compared with the former]. Consequently, the liquid crystal display which can display a high definition image is realizable.

[0087] (Operation gestalt 4) The example of a configuration of the image display device by the operation gestalt 4 of this invention is shown in drawing 6 . In addition, the location of wiring in the liquid crystal display which really formed the drive circuit shown in drawing 17 , and an input terminal is expressed with drawing 6 .

[0088] as shown in drawing 6 , an input terminal IN6 arranges this liquid crystal display to the data signal line drive circuit SD side in the upper part of a liquid crystal display -- having -- **** -- the data signal line drive circuit SD -- an input signal -- the drive circuit SD -- it is mostly inputted from the center section. Moreover, about the scan signal-line drive circuit GD, the input signal is inputted from the end (drawing 6 on) of the drive circuit GD.

[0089] Since the width of face of each drive circuit be mostly in agreement with the width of face of a viewing area in every direction as show in drawing 6 and the waveform distortion of an input signal and the timing gap to the data signal line drive circuit SD be sharply improve in the input signal over the data signal line drive circuit SD by take the configuration of the drive circuit SD mostly input from a center section although we be anxious about the effect of signal delay , with this operation gestalt 4 , very high-definition image display be realizable .

[0090] (Operation gestalt 5) The example of a configuration of the liquid crystal display by the operation gestalt 5 of this invention is shown in drawing 7 . In addition, the location of wiring in the liquid crystal display which really formed the drive circuit shown in drawing 17 , and an input terminal is expressed with drawing 7 .

[0091] as shown in drawing 7 , an input terminal IN7 arranges this liquid crystal display to the scan signal-line drive circuit GD side in the left part of a liquid crystal display -- having -- **** -- the scan signal-line drive circuit GD -- an input signal -- the drive circuit GD -- it is mostly inputted from the center section. Moreover, about the data signal line drive circuit SD, the input signal is inputted from the end (drawing 7 left-hand side) of the drive circuit SD.

[0092] Although we are anxious about the effect of signal delay with this operation gestalt 5 since the width of face of each drive circuit is mostly in agreement with the width of face of a viewing area in every direction like the case of the above-mentioned operation gestalt 4 as shown in drawing 7 Since the waveform distortion of an input signal and the timing gap to the scan signal-line drive circuit GD are sharply improved in the input signal over the scan signal-line drive circuit GD by taking the configuration of the drive circuit GD mostly inputted from a center section, very high-definition image display is realizable.

[0093] (Operation gestalt 6) The example of a configuration of the liquid crystal display by the operation gestalt 6 of this invention is shown in drawing 8 . In addition, the location of wiring in the liquid crystal display which really formed the drive circuit shown in drawing 17 , and an input terminal is expressed with drawing 8 .

[0094] as shown in drawing 8 , an input terminal IN8 arranges this liquid crystal display to the scan signal-line drive circuit GD side in the left part of a liquid crystal display -- having -- **** -- a scan signal-line drive circuit -- an input signal -- the drive circuit GD -- it is mostly inputted from the center section. moreover -- the data signal line drive circuit SD -- an input signal -- the drive circuit SD -- it

is mostly inputted from the center section.

[0095] Although we are anxious about the effect of signal delay with this operation gestalt 6 since the width of face of each drive circuit is mostly in agreement with the width of face of a viewing area in every direction like above-mentioned operation gestalt 4 and operation gestalt 5 case as shown in drawing 8 The input signal over both the data signal line drive circuit SD and the scan signal-line drive circuit GD by taking the configuration of each drive circuit SD and the drive circuit GD mostly inputted from a center section Since the waveform distortion of an input signal and the timing gap to both a data signal line drive circuit and a scan signal-line drive circuit are improved sharply, very high-definition image display is realizable.

[0096] (Operation gestalt 7) A polycrystalline silicon thin film transistor is used for the image display device by the operation gestalt 7 of this invention as an active element which is connected to a pixel, a data signal line drive circuit, and a scan signal-line drive circuit, and performs a display action.

[0097] An example of the cross-section structure of this polycrystalline silicon thin film transistor is shown in drawing 9.

[0098] As this polycrystalline silicon thin film transistor is shown in drawing 9, it is the thing of order stagger (top gate) structure, and, specifically, barrier layer 103' of a polycrystalline silicon thin film is formed on the insulating substrate 101 with which the silicon oxide etc. was formed in the front face. The gate dielectric film 104 which consists of a silicon oxide etc. is formed, and the gate electrode 105 which consists of aluminum etc. is formed on the gate dielectric film 104 of the location corresponding to the gate field 108 of barrier layer 103' so that this barrier layer 103' may be covered. Furthermore, the interlayer insulation film 109 which consists of diacid-ized silicon or silicon nitride accumulates on it, and the metal wiring 111 which consists of aluminum connected to this interlayer insulation film 109 to the source drain fields 106 and 107 through a contact hole 110 is formed.

[0099] In addition, the polycrystalline silicon thin film transistor of this invention may not be restricted to the thing of order stagger (top gate) structure, and may be the thing of other structures, such as reverse stagger structure.

[0100] By using such a polycrystalline silicon thin film transistor, the scan signal-line drive circuit and data signal line drive circuit which have practical drive capacity can consist of almost same production processes on the same substrate as a pixel array.

[0101] An example of the production process of polycrystalline silicon thin film TORASHIJISUTA which constitutes the image display device concerning this invention shown in drawing 9 is shown in drawing 10, and the manufacture process when forming a polycrystalline silicon thin film transistor below Centigrade 600 degrees C is explained briefly here.

[0102] First, on the glass substrate 101 shown in drawing 10 (a), as shown in drawing 10 (b), after depositing the amorphous silicon thin film 102, as shown in drawing 10 (c), excimer laser is irradiated and the polycrystalline silicon thin film 103 is formed. Next, as shown in drawing 10 (d), the gate dielectric film 104 which consists of diacid-ized silicon etc. is formed so that active-region 103' of a polycrystalline silicon thin film may be covered to active-region 103' of the configuration of a request of this polycrystalline silicon thin film 103 as shown in drawing 10 (e) after carrying out patterning. Next, as shown in drawing 10 (f), the gate electrode 105 of a thin film transistor is formed with aluminum etc. on the gate dielectric film 104 of the location corresponding to the gate field 108 in each active-region 103' of a polycrystalline silicon thin film.

[0103] Next, as shown in drawing 10 (g), Lynn P is poured into n mold field 106 in the source drain field of a thin film transistor as an impurity, and as shown in drawing 10 (h), boron B is poured into another side and p mold field 107 as an impurity. Then, after carrying out opening of the contact hole 110 to this interlayer insulation film 109 as are shown in drawing 10 (i), and the interlayer insulation film 109 which consists of diacid-ized silicon or silicon nitride is deposited on this substrate and it is shown in drawing 10 (j), the metal wiring 111 which consists of aluminum connected to the source drain fields 106 and 107 through this contact hole 110 is formed. In each above-mentioned process, since the process that

process temperature is the highest is 600 degrees C at the time of gate-dielectric-film 104 formation, high heat resisting glass, such as 173 glass of for example, U.S. Corning, Inc., can be used for it as an insulating substrate 101.

[0104] In addition, in the case of a transparency mold liquid crystal display, a transparent electrode is formed through interlayer insulation film another next. Moreover, in the case of a reflective mold liquid crystal display, a reflector is formed through interlayer insulation film another next.

[0105] Here, it is cheap as an insulating substrate by being 600-degree less than Centigrade and forming a polycrystalline silicon thin film transistor by the production process as shown in drawing 10 , and since the glass substrate of a large area can be used now, low-pricing and large-area-izing of an image display device are realized.

[0106] In addition, this invention is not limited to each operation gestalt mentioned above, is good also as other configurations which consist of combination of each operation gestalt described above etc., and can be applied about other semiconductor integrated circuit and other image display devices.

[0107] For example, although the data signal line drive circuit and the scan signal-line drive circuit explained using the example formed on the same substrate as a pixel with both the above-mentioned operation gestalt 4 and - the operation gestalt 7, this invention is not limited to this and either [at least] a data signal line drive circuit or its scan signal-line drive circuit is good also as a configuration currently formed on the same substrate as a pixel.

[0108]

[Effect of the Invention] Since the signal wire length inside a circuit can be substantially shortened according to the semiconductor integrated circuit of this invention as explained above, it becomes possible to reduce bad influences, such as signal delay and waveform distortion, and stable circuit actuation can be realized.

[0109] Moreover, since the incorporation timing of a video signal etc. can be controlled with high precision when this integrated circuit is applied to an image display device, the image display device in which high-definition graphic display is possible is realizable.

[0110] Especially the effectiveness brought about by adopting the semiconductor integrated circuit of this invention since the scan signal-line drive circuit and the data signal line drive circuit are widely distributed in the direction of the side of an image display device and delay of a clock signal line or a video-signal line becomes large in forming a scan signal-line drive circuit and a data signal line drive circuit on the same substrate as a pixel using a polycrystalline silicon thin film transistor becomes very large.

[0111] Moreover, in this case, since a pixel, a data signal line drive circuit, and a scan signal-line drive circuit can be manufactured at the same process on the same substrate, reduction of manufacture costs or mounting costs and improvement in the rate of a mounting excellent article can be aimed at.

[0112] Moreover, since the easy cheap and glass of enlargement can be used as a substrate although point [distortion] temperature is low if the above-mentioned active element is made the configuration formed at the process temperature of 600 degrees C or less on a glass substrate, the manufacture costs of a large-sized image display device can be reduced.

[0113] In addition, according to the semiconductor integrated circuit of this invention, since the signal delay inside a circuit becomes small, normal actuation is performed even if only the part makes small driving force of external circuits, such as an external interface. Therefore, since the small cheap circuit of driving force can be used in this case while the power consumption of an external circuit is reducible, it is effective also when reducing the costs of a system.

[0114] Moreover, if it assumes that wiring capacity is fixed when it is going to realize comparable signal delay, it will be good as for 4 times in wiring resistance, and contraction of the circuit area by reduction of wiring width of face, simplification of the manufacture process by reduction of wiring thickness, etc. can be attained.

[0115] Furthermore, a signal can be inputted, without giving trouble to the arrangement and actuation of

a unit circuit which constitute a semiconductor integrated circuit, if wiring of an input signal is carried out to the configuration prepared between unit circuits.

[0116] Moreover, if wiring of an input signal is carried out to the configuration linked to two or more parts of common wiring, since wiring resistance can be reduced, waveform distortion of the signal as the whole semiconductor integrated circuit and delay can be made small.

[0117] Moreover, a signal can be inputted, without receiving constraint of a layout, since wiring can be prepared in the form where it laps with a part of unit circuit when there is only no tooth space which prepares wiring between unit circuits on a layout if it is made the configuration which inputs an input signal through conductive layers other than the wiring layer which constitutes a unit circuit.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the example of a configuration of the semiconductor integrated circuit by the operation gestalt 1 of this invention.

[Drawing 2] It is drawing for explaining the effectiveness by the semiconductor integrated circuit shown in drawing 1.

[Drawing 3] It is the block diagram showing other examples of a configuration of the semiconductor integrated circuit by the operation gestalt 1 of this invention.

[Drawing 4] It is drawing showing the example of a configuration of the data signal line drive circuit which constitutes the image display device by the operation gestalt 2 of this invention.

[Drawing 5] It is drawing showing the example of a configuration of the scan signal-line drive circuit which constitutes the image display device by the operation gestalt 3 of this invention.

[Drawing 6] It is drawing showing the example of a configuration of the image display device by the operation gestalt 4 of this invention.

[Drawing 7] It is drawing showing the example of a configuration of the image display device by the operation gestalt 5 of this invention.

[Drawing 8] It is drawing showing the example of a configuration of the image display device by the operation gestalt 6 of this invention.

[Drawing 9] It is drawing showing an example of the cross-section structure of the polycrystalline silicon thin film transistor which constitutes the image display device concerning this invention.

[Drawing 10] It is drawing showing an example of the production process of the polycrystalline silicon thin film transistor shown in drawing 9.

[Drawing 11] It is the block diagram showing the example of a configuration of the conventional semiconductor integrated circuit.

[Drawing 12] It is the block diagram showing other examples of a configuration of the conventional semiconductor integrated circuit.

[Drawing 13] It is the block diagram showing the example of a configuration of the conventional liquid crystal display.

[Drawing 14] It is drawing showing the example of a configuration of the pixel of the liquid crystal display shown in drawing 13 .

[Drawing 15] It is the circuit diagram showing the example of a configuration of the data signal line drive circuit which constitutes the liquid crystal display shown in drawing 13 .

[Drawing 16] It is the circuit diagram showing the example of a configuration of the scan signal-line drive circuit which constitutes the liquid crystal display shown in drawing 13 .

[Drawing 17] It is the block diagram showing other examples of a configuration of the conventional liquid crystal display.

[Drawing 18] It is drawing for explaining the wiring delay of an input signal.

[Description of Notations]

INA, INB, IN Input signal

IN6, IN7, IN8 Input terminal

UA, UB Unit circuit

SD Data signal line drive circuit

GD Scan signal-line drive circuit

ARY Pixel array

PIX Pixel

Local Area Transport Latch circuit

AS Analog switch

SL Data signal line

GL Scan signal line

DAT Video-signal line

SSP, GSP Start signal

GPS Pulse control signal

SCK, GCK Clock signal

CL Liquid crystal capacity

CS Auxiliary capacity

SW Pixel switch (transistor)

VSH, VGH Power supply terminal

VSL, VGL Earth terminal

VGEN Power circuit

CTL A timing circuit, control circuit

SUB Substrate

COM Common terminal

101 Glass Substrate

102 Amorphous Silicon Thin Film

103,103' Polycrystalline silicon thin film

104 Gate Dielectric Film

105 Gate Electrode

106 N Mold Field

107 P Mold Field

108 Gate Field

109 interlayer insulation films

110 Contact Hole

111 Metal Wiring

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-171829

(P2000-171829A)

(43) 公開日 平成12年6月23日 (2000.6.23)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テーマコード* (参考) |
|---------------------------|-------|---------------|--------------|
| G 0 2 F 1/136 | 5 0 0 | G 0 2 F 1/136 | 2 H 0 9 2 |
| 1/133 | 5 5 0 | 1/133 | 2 H 0 9 3 |

審査請求 未請求 請求項の数10 O L (全 16 頁)

(21) 出願番号 特願平10-343488

(22) 出願日 平成10年12月2日 (1998.12.2)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 マイク ブラウンロウ

イギリス国 オーエックス4 4ジーエイ
オックスフォード, オックスフォード
サイエンスパーク エドモンドハリーロード,
シャープヨーロッパ研究所内

(74) 代理人 100078282

弁理士 山本 秀策

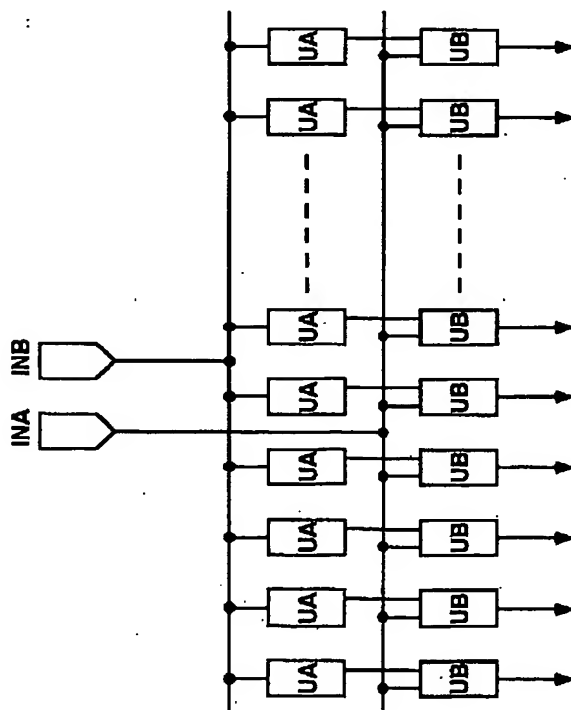
最終頁に続く

(54) 【発明の名称】 半導体集積回路及び画像表示装置

(57) 【要約】

【課題】 一方向に配列された複数のユニット回路を有する半導体集積回路において、ユニット回路に共通の入力信号の配線遅延を小さくすることができ、入力信号の波形歪みやタイミングずれを抑制することができる半導体集積回路、及び、これを用いて高品位な画像を表示させることができる画像表示装置を提供する。

【解決手段】 一方向に配列された複数のユニット回路 UA, UB を有する半導体集積回路において、ユニット回路 UA, UB に共通の入力信号 INA, INB が、列をなす複数のユニット回路 UA, UB の列の端部以外の位置から入力される構成とする。



(2)

1

【特許請求の範囲】

【請求項1】 一方向に配列された複数のユニット回路を有する半導体集積回路において、該ユニット回路に共通の入力信号が、列をなす複数の該ユニット回路の列の端部以外の位置から入力されてなる半導体集積回路。

【請求項2】 前記入力信号の配線が、前記ユニット回路の間に設けられてなる請求項1記載の半導体集積回路。

【請求項3】 前記入力信号の配線が、共通配線の複数の箇所に接続されてなる請求項1記載の半導体集積回路。

【請求項4】 前記入力信号が、前記ユニット回路を構成する配線層以外の導電層を介して入力される請求項1記載の半導体集積回路。

【請求項5】 列方向に複数配列されたデータ信号線と、行方向に複数配列された走査信号線と、該データ信号線と該走査信号線とに囲まれマトリクス状に配列された複数の画素と、該データ信号線に映像データを供給するデータ信号線駆動回路と、該走査信号線に走査信号を供給する走査信号線駆動回路と、該画素、該データ信号線駆動回路、及び該走査信号線駆動回路に接続され表示動作を行う能動素子とを備えたアクティブ・マトリクス型画像表示装置において、該データ信号線駆動回路及び該走査信号線駆動回路の少なくとも一方が、請求項1～請求項4のいずれかに記載の半導体集積回路からなる画像表示装置。

【請求項6】 前記入力信号が、前記データ信号線駆動回路又は前記走査信号線駆動回路に入力されるクロック信号である請求項5記載の画像表示装置。

【請求項7】 前記入力信号が、前記データ信号線駆動回路に入力される映像信号である請求項5記載の画像表示装置。

【請求項8】 前記データ信号線駆動回路及び前記走査信号線駆動回路の少なくとも一方が、前記画素と同一基板上に形成されてなる請求項5～請求項7のいずれかに記載の画像表示装置。

【請求項9】 前記能動素子が、多結晶シリコン薄膜トランジスタである請求項5～請求項8のいずれかに記載の画像表示装置。

【請求項10】 前記能動素子が、ガラス基板上に600℃以下のプロセス温度で形成されてなる請求項5～請求項8のいずれかに記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一方向に配列された複数のユニット回路を有する半導体集積回路において、ユニット回路に共通の入力信号の配線遅延を小さくすることを可能とする半導体集積回路、及びそれを用いた画像表示装置に関する。

【0002】

2

【従来の技術】 複数のユニット回路を有する半導体集積回路は、一般には、図11に示すような回路構成をとる。

【0003】 この半導体集積回路は、図11に示すように、複数のユニット回路UA及びUBにより構成されており、各ユニット回路UA、UBは、それぞれ横方向に配列されている。また、入力信号INA、INBは、列をなすユニット回路UA、UBで構成される半導体集積回路の一端から入力され、図11では左端から入力される例を示している。従って、この場合には、回路内での入力信号配線の長さは、半導体集積回路全体の横幅とほぼ同じ長さになる。

【0004】 また、図12に示すように、入力信号配線の実質的な長さを減らすために、入力信号INA、INBを回路の両端から入力する構成が考えられる。

【0005】 この場合には、図11に示す回路構成をとる場合と比較すると、回路内での信号配線の実質的な長さは、回路全体の横幅の約1/2となるが、回路外での配線の引き回しが必要となるため、入力信号配線の全体の長さはあまり短くならない。

【0006】 ここで、本発明の対象技術である半導体集積回路及び画像表示装置の具体的な例として、液晶表示装置と、そのデータ信号線駆動回路及び走査信号線駆動回路について述べる。

【0007】 従来の画像表示装置の一つとして、アクティブ・マトリクス駆動方式の液晶表示装置が知られている。この液晶表示装置は、図13に示すように、画素アレイARYと、走査信号線駆動回路GDと、データ信号線駆動回路SDとからなっている。画素アレイARYには、互いに交差する多数の走査信号線GLと多数のデータ信号線SLとを備えており、隣接する2本の走査信号線GLと隣接する2本のデータ信号線SLとで囲まれた部分に、画素PIXがマトリクス状に設けられている。

【0008】 データ信号線駆動回路SDは、クロック信号SCK等のタイミング信号に同期して、入力された映像信号DATをサンプリングし、必要に応じて増幅して、各データ信号線SLに書き込む働きをする。走査信号線駆動回路GDは、クロック信号GCK等のタイミング信号に同期して、走査信号線GLを順次選択し、画素PIX内にあるスイッチング素子の開閉を制御することにより、各データ信号線SLに書き込まれた映像信号データを各画素PIXに書き込むと共に、各画素PIXに書き込まれたデータを保持させる働きをする。

【0009】 図13に示す各画素PIXは、図14に示すように、スイッチング素子である電界効果トランジスタSWと、画素容量である液晶容量CL及び必要によって付加される補助容量CSとによって構成される。図14において、スイッチング素子であるトランジスタSWのドレイン及びソースを介してデータ信号線SLと画素

50

(3)

3

容量CL、CSの一方の電極とが接続され、トランジスタSWのゲートは走査信号線GLに接続され、画素容量CL、CSの他方の電極は全面素に共通の共通電極線に接続されている。そして、各画素容量CLに印加される電圧により、液晶の透過率又は反射率が変調され、液晶表示装置の表示が行われる。

【0010】次に、映像データをデータ信号線に書き込む方式について述べる。データ信号線の駆動方式としては、点順次駆動方式と線順次駆動方式とがある。ここでは、点順次駆動方式についてのみ述べる。

【0011】図15は、データ信号線駆動回路の一例を示しており、点順次駆動方式では、図15に示すように、映像信号線DATに入力された映像信号を、シフトレジスタ回路の各段の出力パルスに同期させてサンプリング回路のアナログスイッチASを開閉することにより、データ信号線SLに書き込む。

【0012】より具体的には、データ信号線駆動回路は、図15に示すように、隣接する2個のラッチ回路LATの出力信号Nの重なり信号を、複数のインバータ回路からなるバッファ回路で増幅すると共に、必要に応じて反転信号/Sを生成して、サンプリング信号S及び反転信号/Sとする。このサンプリング信号S及び反転信号/Sを用いて、サンプリング回路のアナログスイッチASを開閉して、映像信号線DATから映像データをデータ信号線SLに供給する。

【0013】図16は、走査信号線駆動回路の一例を示しており、この回路では、図16に示すように、NAND回路によって、隣接するラッチ回路LATの出力信号の重なりをとり、更に、この信号と、外部からのパルス幅制御信号GPSとの重なりをとることによって、所望のパルス幅を得ている。

【0014】ところで、近年、液晶表示装置の小型化や高解像度化、実装費用の低減などのために、図17に示すような、表示を司る画素アレイと駆動回路とを同一基板上に一体形成する技術が注目を集めている。このような駆動回路一体型の液晶表示装置では、現在広く用いられている透過型液晶表示装置を構成する場合には、その基板に透明基板を使う必要がある。このため、石英基板やガラス基板上に構成することができる多結晶シリコン薄膜トランジスタを能動素子として用いる場合が多い。* 40

$$C \cdot (V_{(t+\Delta t)}^{(n)} - V_{(t)}^{(n)}) = \frac{1}{R} \cdot \left\{ (V_{(t)}^{(n-1)} - V_{(t)}^{(n)}) - (V_{(t)}^{(n)} - V_{(t)}^{(n+1)}) \right\} \cdot \Delta t \dots (4)$$

【0024】となり、この(4)式を時間tに対して微分すると、

$$\frac{\partial V_{(t)}^{(n)}}{\partial t} = \frac{1}{CR} \cdot \left\{ \left(\frac{V_{(t)}^{(n+1)} - V_{(t)}^{(n)}}{(n+1) - n} \right) - \left(\frac{V_{(t)}^{(n)} - V_{(t)}^{(n-1)}}{n - (n-1)} \right) \right\} \dots (5)$$

【0026】となる。(5)式の右辺のカッコ内は位置nに対する2階差分であるので、これは微分の形に直して、以下の(6)式で表記できる。

4

* 【0015】

【発明が解決しようとする課題】ところで、上述した従来の画像表示装置においては、図15及び図16に示すように、データ信号線駆動回路や走査信号線駆動回路への入力信号であるクロック信号SCK、GCKや映像信号DATなどは、駆動回路の一端から入力されている。

【0016】このため、入力信号線の長さが長くなるので、入力信号の遅延が大きくなる。その結果、信号の歪みや両端でのタイミングずれが生じ、表示に悪影響を及ぼし、例えば、滲みやゴーストなどの不具合をきたす恐れがある。特に、図15及び図16の回路領域における入力信号線であるクロック信号SCK、GCKや映像信号DATの伸延方向の長さが長い場合には、この影響が大きくなる。

【0017】ここで、配線の長さや信号遅延との関係について、図18を用いて説明する。

【0018】配線を微小な領域に分割し、各領域での配線抵抗をR、配線容量をCとすると、ある時刻tにおけるノードnでの電位 $V_{(t)}^{(n)}$ と、ノードnからノード(n+1)へ流れる電流 $i_{(t)}^{(n)}$ との関係は、以下の(1)式～(3)式で表される。

【0019】

【数1】

$$V_{(t)}^{(n)} - V_{(t)}^{(n+1)} = i_{(t)}^{(n)} \cdot R \dots (1)$$

【0020】

【数2】

$$V_{(t)}^{(n-1)} - V_{(t)}^{(n)} = i_{(t)}^{(n-1)} \cdot R \dots (2)$$

【0021】

【数3】

$$C \cdot (V_{(t+\Delta t)}^{(n)} - V_{(t)}^{(n)}) = (i_{(t)}^{(n-1)} - i_{(t)}^{(n)}) \cdot \Delta t \dots (3)$$

【0022】ここで、(1)式はノードnからノード(n+1)に流れる電流を、(2)式はノード(n-1)からノードnに流れる電流を、(3)式はノードnにおける時刻tから微小時間 Δt 後の電位変動を表す。これらの(1)式～(3)式を解くと、

【0023】

【数4】

* 【0025】

※ 【数5】

【0027】

【数6】

(4)

5

$$\frac{\partial V_{(0)}^{(n)}}{\partial t} = \frac{1}{CR} \cdot \frac{\frac{\partial V_{(0)}^{(n)}}{\partial n} - \frac{\partial V_{(0)}^{(n-1)}}{\partial n}}{n - (n-1)} = \frac{1}{CR} \cdot \frac{\partial^2 V_{(0)}^{(n)}}{\partial n^2} \dots \dots (6)$$

【0028】この(6)式において、電位Vを、位置xと時刻tとの関数V(x, t)として書き直すと、

【0029】

【数7】

$$\frac{\partial V_{(x,t)}}{\partial t} = \frac{1}{CR} \cdot \frac{\partial^2 V_{(x,t)}}{\partial x^2} \dots \dots (7)$$

【0030】となる。

【0031】この(7)式は、拡散方程式として知られるものであり、境界条件として、V(0, t) = V₀、即ち、境界における濃度一定の条件を仮定すると、その解は、

【0032】

【数8】

$$V_{(x,t)} = V_0 \cdot \operatorname{erfc}\left(\frac{x}{2\sqrt{\frac{CR}{t}}}\right) \dots \dots (8)$$

【0033】である。ここで、erfc関数は誤差関数と呼ばれるものである。

【0034】この(8)式から解るように、同一の電位Vをとるような、遅延時間に相当する時刻tと位置xとの関係は、

【0035】

【数9】

$$t(\text{delay}) \propto \frac{CR}{2} x^2 \dots \dots (9)$$

【0036】である。すなわち、信号の遅延時間tは、信号配線の長さxの二乗に比例することが解る。

【0037】従って、信号配線の長さが長くなると、信号遅延が急速に大きくなり、ひいては、画像表示装置における表示性能も大幅に劣化すると予想される。

【0038】本発明は、こうした従来技術の課題を解決するものであり、一方向に配列された複数のユニット回路を有する半導体集積回路において、ユニット回路に共通の入力信号の配線遅延を小さくすることができ、入力信号の波形歪みやタイミングずれを抑制することができる半導体集積回路、及び、これを用いて高品位な画像を表示させることができる画像表示装置を提供することを目的とする。

【0039】

【課題を解決するための手段】本発明の半導体集積回路は、一方向に配列された複数のユニット回路を有する半導体集積回路において、該ユニット回路に共通の入力信号が、列をなす複数の該ユニット回路の列の端部以外の位置から入力されてなり、そのことにより上記目的が達成される。

6

【0040】前記入力信号の配線を、前記ユニット回路の間に設ける構成としてもよい。

【0041】また、前記入力信号の配線を、共通配線の複数の箇所に接続する構成としてもよい。

【0042】また、前記入力信号を、前記ユニット回路を構成する配線層以外の導電層を介して入力する構成としてもよい。

【0043】また、本発明の画像表示装置は、列方向に複数配列されたデータ信号線と、行方向に複数配列された走査信号線と、該データ信号線と該走査信号線とに囲まれマトリクス状に配列された複数の画素と、該データ信号線に映像データを供給するデータ信号線駆動回路と、該走査信号線に走査信号を供給する走査信号線駆動回路と、該画素、該データ信号線駆動回路、及び該走査信号線駆動回路に接続され表示動作を行う能動素子とを備えたアクティブ・マトリクス型画像表示装置において、該データ信号線駆動回路及び該走査信号線駆動回路の少なくとも一方が、上記のいずれかに記載の半導体集積回路からなり、そのことにより上記目的が達成される。

【0044】前記入力信号が、前記データ信号線駆動回路又は前記走査信号線駆動回路に入力されるクロック信号である構成とする。

【0045】また、前記入力信号が、前記データ信号線駆動回路に入力される映像信号である構成とする。

【0046】また、前記データ信号線駆動回路及び前記走査信号線駆動回路の少なくとも一方が、前記画素と同一基板上に形成されてなる構成とする。

【0047】また、前記能動素子が、多結晶シリコン薄膜トランジスタである構成とする。

【0048】また、前記能動素子が、ガラス基板上に600℃以下のプロセス温度で形成されてなる構成とする。

【0049】以下に、本発明の作用について説明する。

【0050】本発明は、一方向に配列された複数のユニット回路を有する半導体集積回路において、ユニット回路に共通の入力信号が、列をなす複数のユニット回路の列の端部以外の位置から入力されている。

【0051】このため、入力信号が列をなす複数のユニット回路の列の端部から入力される場合に較べて、入力端子部から入力信号配線の末端までの配線の長さが短くなるので、信号の歪みやタイミングのずれを抑えることが可能となり、正常な回路動作を実現することが容易となる。

【0052】また、回路内部での信号遅延が小さくなるので、その分だけ、外部インターフェース等の外部回路

7

の駆動力を小さくしても正常な動作が行われる。従って、この場合には、外部回路の消費電力を削減することができると共に、駆動力の小さい安価な回路を用いることができるので、システムの費用を低減する上でも有効である。

【0053】加えて、同程度の信号遅延を実現しようとする場合には、配線容量が一定と仮定すると、配線抵抗を4倍にしてもよいことになり、配線幅の削減による回路面積の縮小や、配線膜厚の削減による製造プロセスの簡素化等を図ることが可能となる。

【0054】また、半導体集積回路においては、その製造費用を低減するために、支障のない限り、できるだけ配線層を削減することが求められるので、入力信号を半導体集積回路内の信号線に接続するための配線は、半導体集積回路を構成する配線を用いることが望ましい。そこで、入力信号の配線をユニット回路間に設ける構成にすると、半導体集積回路を構成するユニット回路の配置や動作に支障を与えることなく、信号を入力することが可能となる。

【0055】また、配線は、端子より入力された入力信号を回路に伝達させるものであるから、その信号の波形歪みや遅延を抑えるために、できるだけ低抵抗にすることが望ましい。しかしながら、上述したユニット回路間のスペースを利用して配線を設ける構成をとる場合には、そのレイアウト上の制約などから、配線に十分な線幅を確保できず、配線抵抗が大きくなることもある。

【0056】これに対し、入力信号の配線を、共通配線の複数の箇所に接続する構成にすると、配線抵抗を低減することができるので、半導体集積回路全体としての信号の波形歪みや遅延を小さくすることが可能となる。

【0057】また、入力信号を、ユニット回路を構成する配線層以外の導電層を介して入力する構成にすると、レイアウト上、ユニット回路の間に配線を設けるだけのスペースがない場合においても、ユニット回路の一部と重なるような形で配線を設けることができるので、レイアウトの制約を受けることなく、信号を入力することが可能となる。

【0058】また、本発明の画像表示装置が、アクティブ・マトリクス型画像表示装置であって、そのデータ信号線駆動回路及び走査信号線駆動回路の少なくとも一方が、上記の半導体集積回路からなる構成にすると、列をなす複数のユニット回路の列の一端から入力信号が入力される場合に較べて、データ信号線駆動回路又は走査信号線駆動回路に入力される入力信号の回路内部での遅延が小さくなる。

【0059】これは、上述したように、入力端子部から入力信号配線の末端までの配線の長さが短くなるためである。その結果、信号の歪みやタイミングのずれを抑えることができるので、正常な回路動作を実現することが容易となり、高品位の画像表示を実現することが可能と

(5)

8

なる。

【0060】一般に、画像表示装置のデータ信号線駆動回路及び走査信号線駆動回路内で、クロック信号線は、駆動回路全体における一方の端から他方の端まで伸延している。このような配線においては、上述したように、信号遅延は配線長の二乗に比例するので、回路内部での信号遅延が非常に大きくなり、信号波形の波形歪みやタイミングのずれが発生することが懸念される。

【0061】これらの駆動回路は、クロック信号に同期して動作するので、クロック信号に波形歪みやタイミングのずれ等の不具合が生じると、映像信号の取り込みタイミングがずれて、表示画像にも支障が現れるおそれがある。

【0062】これに対して、このクロック信号をデータ信号線駆動回路又は上記走査信号線駆動回路の端部以外、例えば、中央部から入力することにより、クロック信号の配線遅延を抑えることができるので、良好な表示品位の画像表示装置を実現することが可能となる。

【0063】また、一般に、画像表示装置のデータ信号線駆動回路内で、映像信号線は、クロック信号線と同様に、駆動回路全体における一方の端から他方の端まで伸延している。このような配線においては、上述したように、信号遅延は配線長の二乗に比例するので、回路内部での信号遅延が非常に大きくなり、信号波形の波形歪みやタイミングのずれが発生することが懸念される。上記データ信号線駆動回路は、クロック信号に同期して映像信号を取り込むので、映像信号に波形歪みや遅延のバラツキ等の不具合が生じると、映像信号の取り込みタイミングがずれ、そのため、表示画像にも支障が現れる可能性がある。

【0064】これに対して、この映像信号をデータ信号線駆動回路の端部以外、例えば、中央部から入力することにより、映像信号の配線遅延を抑えることができるので、良好な表示品位の画像表示装置を実現することが可能となる。

【0065】また、一般に、画像表示装置の表示領域に相当する長さ互って、データ信号線駆動回路及び走査信号線駆動回路が伸延しているので、クロック信号線や映像信号線などの入力信号の配線長は極めて長くなり、入力信号の配線遅延や波形歪みも大きくなる傾向にある。

【0066】従って、データ信号線駆動回路及び走査信号線駆動回路の少なくとも一方が、画素と同一基板上に形成されている構成にすると、入力信号の波形歪みや遅延のバラツキなどを抑えて良好な表示を実現することが可能となる。

【0067】また、この場合には、表示を行うための画素と、画素を駆動するためのデータ信号線駆動回路及び走査信号線駆動回路を、同一基板上に同一工程で製造することができるので、製造費用や実装費用の低減と、実

50

(6)

9

装良品率の向上を図ることが可能となる。

【0068】また、画素、データ信号線駆動回路、及び走査信号線駆動回路に接続され表示動作を行う能動素子が、多結晶シリコン薄膜トランジスタである構成にすると、非晶質シリコン薄膜トランジスタに較べて、極めて駆動力の高い特性が得られる。加えて、画素、データ信号線駆動回路、及び走査信号線駆動回路を、容易に同一基板上に形成することができる。

【0069】また、多結晶シリコン薄膜トランジスタは、単結晶シリコントランジスタに較べて、駆動力が1桁～2桁程小さいため、これを用いてデータ信号線駆動回路を構成する場合には、トランジスタのサイズを大きくする必要がある。その結果、信号配線の負荷容量も大きくなり、信号線の遅延や波形歪みも大きくなる傾向にあるので、上述した本発明の半導体集積回路の構成をとることによる作用効果が期待できる。

【0070】また、上記能動素子が、ガラス基板上に、600℃以下のプロセス温度で形成される構成にすると、歪み点温度は低いが、安価でかつ大型化の容易なガラスを基板として用いることができるので、大型の画像表示装置の製造費用を低減することが可能となる。

【0071】

【発明の実施の形態】以下に、本発明の実施の形態を図面に基づいて具体的に説明する。

【0072】（実施形態1）図1に、本発明の実施形態1による半導体集積回路の構成例を示す。

【0073】この半導体集積回路は、一方向に配列された複数のユニット回路を有する半導体集積回路において、ユニット回路に共通の入力信号が、列をなす複数のユニット回路の列の端部以外の位置から入力されてなるものである。

【0074】具体的には、この半導体集積回路は、例えば、図1に示すように、複数のユニット回路UA及びUBにより構成されており、各ユニット回路UA、UBは、それぞれ横方向に配列されている。また、入力信号INA、INBは、列をなすユニット回路UA、UBで構成される半導体集積回路の中央部分から入力されており、入力信号配線の実質的な長さは、図11に示す従来構成の場合の約1/2となっている。

【0075】図2に示すように、入力信号の実質的な配線長Lがほぼ1/2になると、配線抵抗R及び配線容量Cもそれぞれ約1/2となり、その積である時定数は約1/4となり、配線遅延が非常に小さくなることを表している。従って、入力信号の波形歪みやタイミングずれなどの問題が回避されるので、安定した回路動作を実現することができる。

【0076】このとき、図1に示すように、入力信号INAの配線は、2つのユニット回路UAの間を通してよい。また、ユニット回路UAを構成する配線層以外の導電層を、ユニット回路UAの上に設け、この導電層を

10

介して入力信号が入力される構成としてもよい。この場合には、ユニット回路と配線に関するレイアウト上の制約がなくなる。

【0077】また、図3に示すように、入力信号の配線が、共通配線の複数の箇所接続される構成とし、入力信号が複数の箇所からユニット回路に入力されるようにしてもよく、図3では入力信号の配線が2箇所に接続される例を示している。この場合には、より低い抵抗で入力端子とユニット回路を接続することができ、入力信号の波形歪みや遅延を抑えることができる。

【0078】尚、この実施形態1について述べた内容は、以下で説明する全ての他の実施形態においても、同様に適用される。

【0079】（実施形態2）図4に、本発明の実施形態2による画像表示装置のデータ信号線駆動回路の構成例を示す。

【0080】ここで、この画像表示装置は、アクティブ・マトリクス型画像表示装置であって、列方向に複数配列されたデータ信号線と、行方向に複数配列された走査信号線と、データ信号線と走査信号線とに囲まれマトリクス状に配列された複数の画素と、データ信号線に映像データを供給するデータ信号線駆動回路と、走査信号線に走査信号を供給する走査信号線駆動回路と、画素、データ信号線駆動回路、及び走査信号線駆動回路に接続され表示動作を行う能動素子とを備えており、少なくともデータ信号線駆動回路が、上記実施形態1による半導体集積回路からなる。

【0081】具体的には、このデータ信号線駆動回路は、例えば、図13に示した液晶表示装置の一部を構成する回路であって、図4に示すように、シフトレジスタ回路とロジック回路、アナログスイッチASなどから構成されており、シフトレジスタ回路を構成する全てのラッチ回路LATにクロック信号CLKが入力され、又全てのアナログスイッチASに映像信号DATが供給されている。ここで、クロック信号CLK及び映像信号DATは、外部から駆動回路のほぼ中央部分に入力されているため、実質的な入力信号の配線長は、データ信号線駆動回路の全幅の約1/2となっている。

【0082】従って、これらの信号線の波形歪みや遅延は、入力信号を駆動回路の一端から入力した場合の約1/4となるので、映像信号DATをデータ信号線SLへ書き込むタイミングを、従来に較べて極めて高精度に制御することが可能となる。その結果、高品位画像を表示できる液晶表示装置を実現することができる。

【0083】（実施形態3）図5に、本発明の実施形態3による画像表示装置の走査信号線駆動回路の構成例を示す。

【0084】この画像表示装置は、上記実施形態2と同様のアクティブ・マトリクス型画像表示装置において、少なくとも走査信号線駆動回路が、上記実施形態1によ

(7)

11

る半導体集積回路からなる。

【0085】具体的には、この走査信号線駆動回路は、例えば、図13に示した液晶表示装置の一部を構成する回路であって、図5に示すように、シフトレジスタ回路とロジック回路などから構成されており、シフトレジスタ回路を構成する全てのラッチ回路LATにクロック信号GCKが入力され、又全てのロジック回路にパルス制御信号GPSが供給されている。ここで、クロック信号GCK及びパルス制御信号GPSは、外部から駆動回路のほぼ中央部分に入力されているため、実質的な入力信号の配線長は、走査信号線駆動回路の全幅の約1/2となっている。

【0086】従って、これらの信号線の波形歪みや遅延は、入力信号を駆動回路の一端から入力した場合の約1/4となるので、走査信号GLのタイミングを、従来に較べて極めて高精度に制御することが可能となる。その結果、高品位画像を表示できる液晶表示装置を実現することができる。

【0087】（実施形態4）図6に、本発明の実施形態4による画像表示装置の構成例を示す。尚、図6では、図17に示した駆動回路を一体形成した液晶表示装置における配線及び入力端子の位置を表している。

【0088】この液晶表示装置は、図6に示すように、入力端子IN6が液晶表示装置の上部にあるデータ信号線駆動回路SD側に配置されており、データ信号線駆動回路SDについては、入力信号が駆動回路SDのほぼ中央部から入力されている。また、走査信号線駆動回路GDについては、入力信号が駆動回路GDの一端（図6では上側）から入力されている。

【0089】本実施形態4では、図6に示すように、各駆動回路の幅が表示領域の縦横の幅にほぼ一致するので、信号遅延の影響が懸念されるが、データ信号線駆動回路SDに対する入力信号を駆動回路SDのほぼ中央部から入力する構成をとることにより、データ信号線駆動回路SDに対する入力信号の波形歪みやタイミングずれが大幅に改善されるため、極めて高品位の画像表示を実現することができる。

【0090】（実施形態5）図7に、本発明の実施形態5による液晶表示装置の構成例を示す。尚、図7では、図17に示した駆動回路を一体形成した液晶表示装置における配線及び入力端子の位置を表している。

【0091】この液晶表示装置は、図7に示すように、入力端子IN7が、液晶表示装置の左部にある走査信号線駆動回路GD側に配置されており、走査信号線駆動回路GDについては、入力信号が駆動回路GDのほぼ中央部から入力されている。また、データ信号線駆動回路SDについては、入力信号が駆動回路SDの一端（図7では左側）から入力されている。

【0092】本実施形態5では、図7に示すように、上記実施形態4の場合と同様に、各駆動回路の幅が表示領

12

域の縦横の幅にほぼ一致するので、信号遅延の影響が懸念されるが、走査信号線駆動回路GDに対する入力信号を駆動回路GDのほぼ中央部から入力する構成をとることにより、走査信号線駆動回路GDに対する入力信号の波形歪みやタイミングずれが大幅に改善されるため、極めて高品位の画像表示を実現することができる。

【0093】（実施形態6）図8に、本発明の実施形態6による液晶表示装置の構成例を示す。尚、図8では、図17に示した駆動回路を一体形成した液晶表示装置における配線及び入力端子の位置を表している。

【0094】この液晶表示装置は、図8に示すように、入力端子IN8が、液晶表示装置の左部にある走査信号線駆動回路GD側に配置されており、走査信号線駆動回路については、入力信号が駆動回路GDのほぼ中央部から入力されている。また、データ信号線駆動回路SDについても、入力信号が駆動回路SDのほぼ中央部から入力されている。

【0095】本実施形態6では、図8に示すように、上記実施形態4及び実施形態5場合と同様に、各駆動回路の幅が表示領域の縦横の幅にほぼ一致するので、信号遅延の影響が懸念されるが、データ信号線駆動回路SD及び走査信号線駆動回路GDの両方に対する入力信号を、それぞれの駆動回路SD及び駆動回路GDのほぼ中央部から入力する構成をとることにより、データ信号線駆動回路及び走査信号線駆動回路の両方に対する入力信号の波形歪みやタイミングずれが大幅に改善されるため、極めて高品位の画像表示を実現することができる。

【0096】（実施形態7）本発明の実施形態7による画像表示装置は、画素、データ信号線駆動回路、及び走査信号線駆動回路に接続され表示動作を行う能動素子として多結晶シリコン薄膜トランジスタを用いるものである。

【0097】図9に、この多結晶シリコン薄膜トランジスタの断面構造の一例を示す。

【0098】この多結晶シリコン薄膜トランジスタは、図9に示すように、順スタガー（トップゲート）構造のものであって、具体的には、表面にシリコン酸化物等が形成された絶縁性基板101上に、多結晶シリコン薄膜の活性層103'が形成されている。この活性層103'を覆うように、シリコン酸化物等からなるゲート絶縁膜104が形成され、活性層103'のゲート領域108に対応する位置のゲート絶縁膜104上にはアルミニウム等からなるゲート電極105が形成されている。更に、その上に二酸化シリコン又は窒化シリコン等からなる層間絶縁膜109が堆積され、この層間絶縁膜109にコンタクトホール110を介してソース・ドレイン領域106、107に接続されるアルミニウム等からなる金属配線111が形成されている。

【0099】尚、本発明の多結晶シリコン薄膜トランジスタは、順スタガー（トップゲート）構造のものに限る

50

(8)

13

ものではなく、逆スタガー構造等の他の構造のものであってよい。

【0100】このような多結晶シリコン薄膜トランジスタを用いることによって、実用的な駆動能力を有する走査信号線駆動回路及びデータ信号線駆動回路を、画素アレイと同一基板上にほぼ同一の製造工程で構成することができる。

【0101】図10に、図9に示す本発明に係る画像表示装置を構成する多結晶シリコン薄膜トランジスタの製造工程の一例を示しており、ここでは、摂氏600℃以下で多結晶シリコン薄膜トランジスタを形成するときの製造プロセスについて、簡単に説明する。

【0102】まず、図10(a)に示すガラス基板101上に、図10(b)に示すように非晶質シリコン薄膜102を堆積した後、図10(c)に示すようにエキシマレーザを照射して多結晶シリコン薄膜103を形成する。次に、図10(d)に示すように、この多結晶シリコン薄膜103を所望の形状の活性領域103'にパターンニングした後、図10(e)に示すように、多結晶シリコン薄膜の活性領域103'を覆うように、二酸化シリコン等からなるゲート絶縁膜104を形成する。次に、図10(f)に示すように、多結晶シリコン薄膜の各活性領域103'におけるゲート領域108に対応する位置のゲート絶縁膜104上に薄膜トランジスタのゲート電極105をアルミニウム等で形成する。

【0103】次に、薄膜トランジスタのソース・ドレイン領域における、n型領域106には図10(g)に示すように不純物としてリンPを注入し、他方、p型領域107には図10(h)に示すように不純物としてホウ素Bを注入する。その後、図10(i)に示すように、この基板上に二酸化シリコン又は窒化シリコン等からなる層間絶縁膜109を堆積し、図10(j)に示すように、この層間絶縁膜109にコンタクトホール110を開孔した後、このコンタクトホール110を介してソース・ドレイン領域106、107に接続されるアルミニウム等からなる金属配線111を形成する。上記した各プロセスの中でプロセス温度が最も高い工程は、ゲート絶縁膜104形成時の600℃であるので、絶縁性基板101として、例えば、米国コーニング社の173ガラス等の高耐熱性ガラスが使用できる。

【0104】尚、透過型液晶表示装置の場合には、この後に別の層間絶縁膜を介して、透明電極を形成する。また、反射型液晶表示装置の場合には、この後に別の層間絶縁膜を介して、反射電極を形成する。

【0105】ここで、図10に示すような製造工程で、多結晶シリコン薄膜トランジスタを、摂氏600度以下で形成することにより、絶縁性基板として安価で大面積のガラス基板を用いることができるようになるので、画像表示装置の低価格化と大面積化が実現される。

【0106】尚、本発明は、上述した各実施形態に限定

14

されるものではなく、例えば、上記した各実施形態の組み合わせ等からなる他の構成としてもよく、他の半導体集積回路や他の画像表示装置についても適用することができる。

【0107】例えば、上記の実施形態4～実施形態7では、データ信号線駆動回路及び走査信号線駆動回路が、共に画素と同一基板上に形成される例を用いて説明したが、本発明はこれに限定されるものではなく、データ信号線駆動回路及び走査信号線駆動回路の少なくとも一方が、画素と同一基板上に形成されている構成としてもよい。

【0108】

【発明の効果】以上説明したように、本発明の半導体集積回路によれば、回路内部での信号配線長を実質的に短くすることができるので、信号遅延や波形歪みなどの悪影響を低減することが可能となり、安定した回路動作を実現することができる。

【0109】また、本集積回路を画像表示装置に適用した場合には、映像信号の取り込みタイミングなどを高精度に制御することができるので、高品位の映像表示が可能な画像表示装置を実現することができる。

【0110】特に、多結晶シリコン薄膜トランジスタを用いて、走査信号線駆動回路及びデータ信号線駆動回路を画素と同一基板上に形成する場合には、走査信号線駆動回路及びデータ信号線駆動回路は、画像表示装置の辺方向に広く分散配置されているので、クロック信号線や映像信号線の遅延が大きくなるので、本発明の半導体集積回路を採用することによりもたらされる効果は極めて大きくなる。

【0111】また、この場合には、画素、データ信号線駆動回路及び走査信号線駆動回路を、同一基板上に同一工程で製造することができるので、製造費用や実装費用の低減と、実装良品率の向上を図ることができる。

【0112】また、上記能動素子を、ガラス基板上に、600℃以下のプロセス温度で形成される構成にすると、歪み点温度は低い、安価でかつ大型化の容易なガラスを基板として用いることができるので、大型の画像表示装置の製造費用を低減することができる。

【0113】加えて、本発明の半導体集積回路によれば、回路内部での信号遅延が小さくなるので、その分だけ、外部インターフェース等の外部回路の駆動力を小さくしても正常な動作が行われる。従って、この場合には、外部回路の消費電力を削減することができると共に、駆動力の小さい安価な回路を用いることができるので、システムの費用を低減する上でも有効である。

【0114】また、同程度の信号遅延を実現しようとする場合には、配線容量が一定と仮定すると、配線抵抗を4倍にしてもよいことになり、配線幅の削減による回路面積の縮小や、配線膜厚の削減による製造プロセスの簡素化等を図ることができる。

50

(9)

15

【0115】更に、入力信号の配線をユニット回路間に設ける構成にすると、半導体集積回路を構成するユニット回路の配置や動作に支障を与えることなく、信号を入力することができる。

【0116】また、入力信号の配線を、共通配線の複数の箇所に接続する構成にすると、配線抵抗を低減することができるので、半導体集積回路全体としての信号の波形歪みや遅延を小さくすることができる。

【0117】また、入力信号を、ユニット回路を構成する配線層以外の導電層を介して入力する構成にすると、レイアウト上、ユニット回路の間に配線を設けるだけのスペースがない場合においても、ユニット回路の一部と重なるような形で配線を設けることができるので、レイアウトの制約を受けることなく、信号を入力することができる。

【図面の簡単な説明】

【図1】本発明の実施形態1による半導体集積回路の構成例を示すブロック図である。

【図2】図1に示す半導体集積回路による効果を説明するための図である。

【図3】本発明の実施形態1による半導体集積回路の他の構成例を示すブロック図である。

【図4】本発明の実施形態2による画像表示装置を構成するデータ信号線駆動回路の構成例を示す図である。

【図5】本発明の実施形態3による画像表示装置を構成する走査信号線駆動回路の構成例を示す図である。

【図6】本発明の実施形態4による画像表示装置の構成例を示す図である。

【図7】本発明の実施形態5による画像表示装置の構成例を示す図である。

【図8】本発明の実施形態6による画像表示装置の構成例を示す図である。

【図9】本発明に係る画像表示装置を構成する多結晶シリコン薄膜トランジスタの断面構造の一例を示す図である。

【図10】図9に示す多結晶シリコン薄膜トランジスタの製造工程の一例を示す図である。

【図11】従来の半導体集積回路の構成例を示すブロック図である。

【図12】従来の半導体集積回路の他の構成例を示すブロック図である。

【図13】従来の液晶表示装置の構成例を示すブロック図である。

【図14】図13に示す液晶表示装置の画素の構成例を示す図である。

16

【図15】図13に示す液晶表示装置を構成するデータ信号線駆動回路の構成例を示す回路図である。

【図16】図13に示す液晶表示装置を構成する走査信号線駆動回路の構成例を示す回路図である。

【図17】従来の液晶表示装置の他の構成例を示すブロック図である。

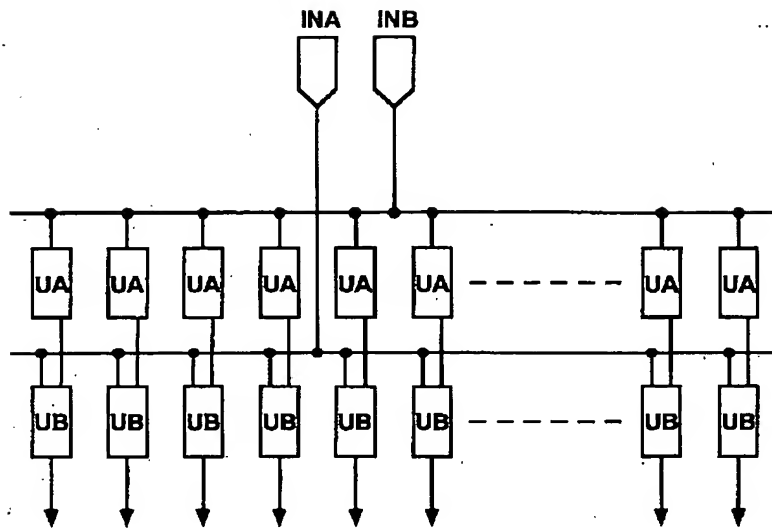
【図18】入力信号の配線遅延を説明するための図である。

【符号の説明】

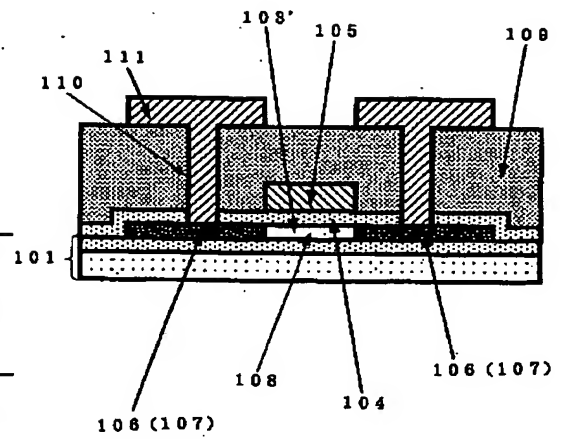
- 10 INA, INB, IN 入力信号
- IN6, IN7, IN8 入力端子
- UA, UB ユニット回路
- SD データ信号線駆動回路
- GD 走査信号線駆動回路
- ARY 画素アレイ
- PIX 画素
- LAT ラッチ回路
- AS アナログスイッチ
- SL データ信号線
- 20 GL 走査信号線
- DAT 映像信号線
- SSP, GSP 開始信号
- GPS パルス制御信号
- SCK, GCK クロック信号
- CL 液晶容量
- CS 補助容量
- SW 画素スイッチ (トランジスタ)
- VSH, VGH 電源端子
- VSL, VGL 接地端子
- 30 VGEN 電源回路
- CTL タイミング回路, コントロール回路
- SUB 基板
- COM コモン端子
- 101 ガラス基板
- 102 非晶質シリコン薄膜
- 103, 103' 多結晶シリコン薄膜
- 104 ゲート絶縁膜
- 105 ゲート電極
- 106 n型領域
- 107 p型領域
- 108 ゲート領域
- 109 層間絶縁膜
- 110 コンタクトホール
- 111 金属配線

(10)

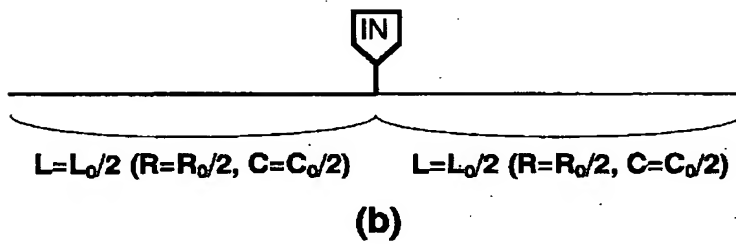
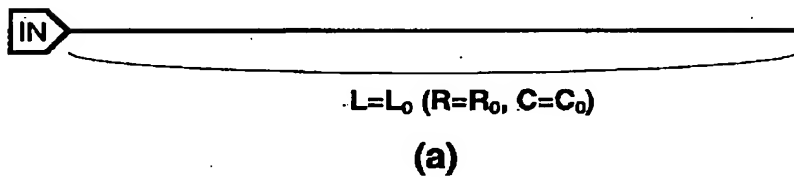
【図1】



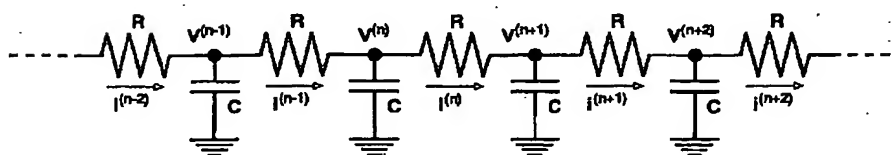
【図9】



【図2】

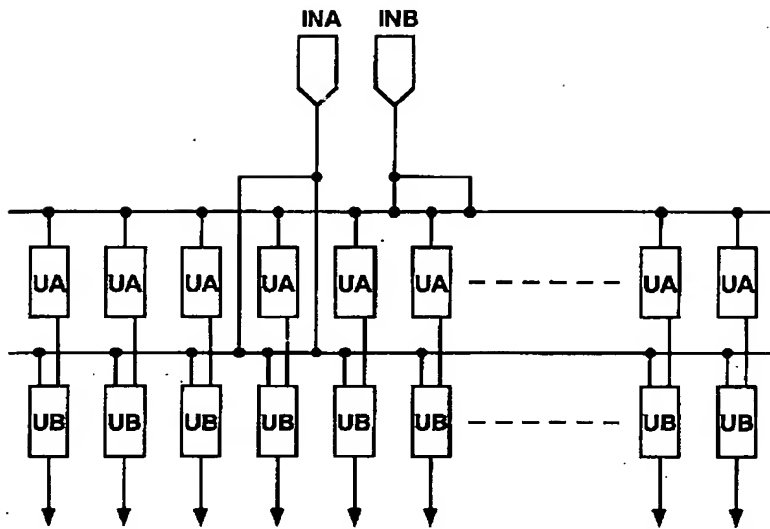


【図18】

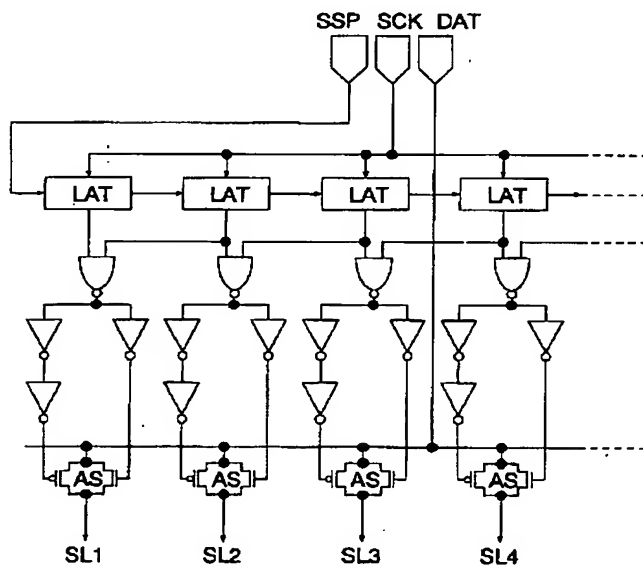


(11)

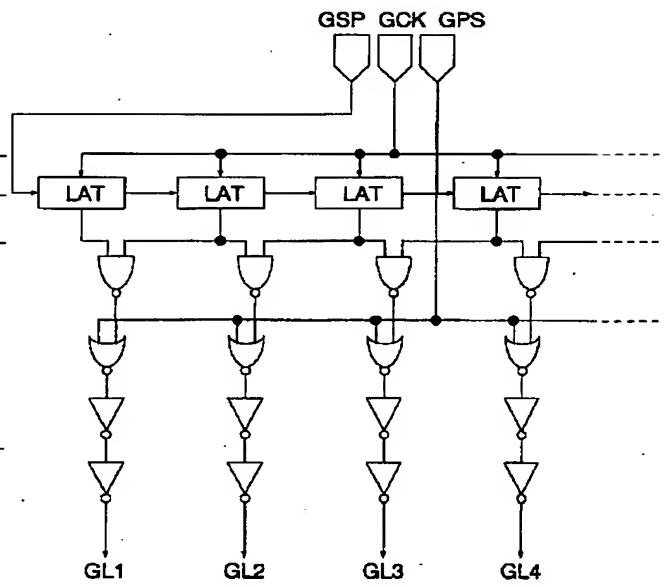
【図3】



【図4】

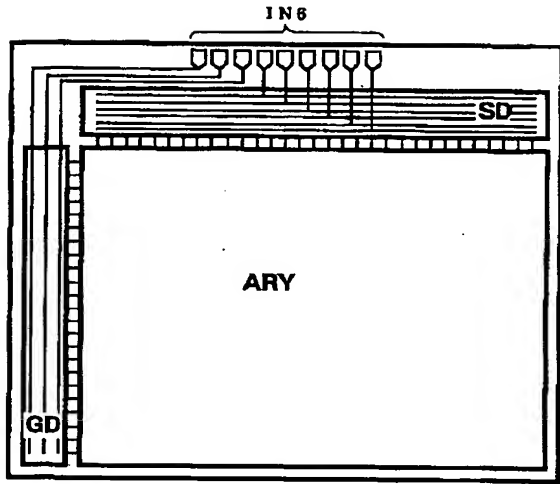


【図5】

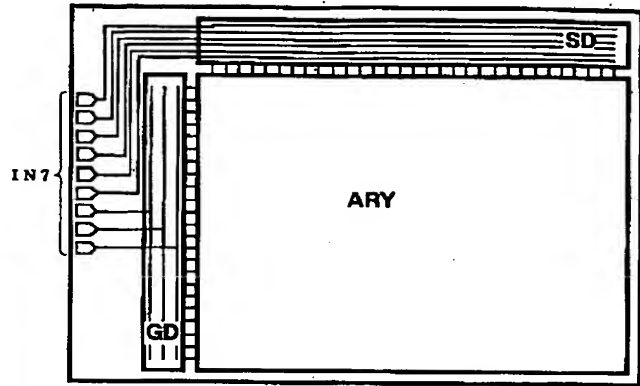


(12)

【図6】

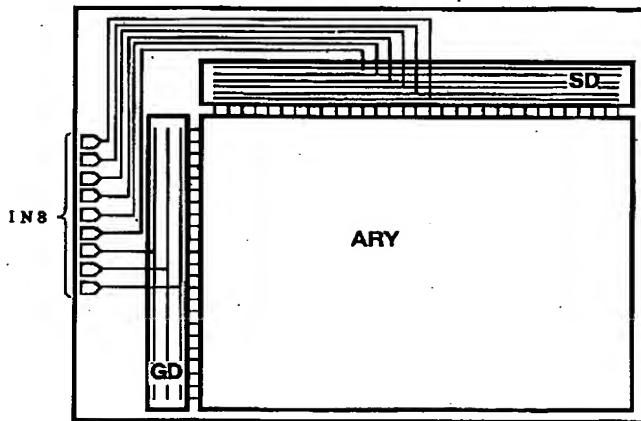


【図7】

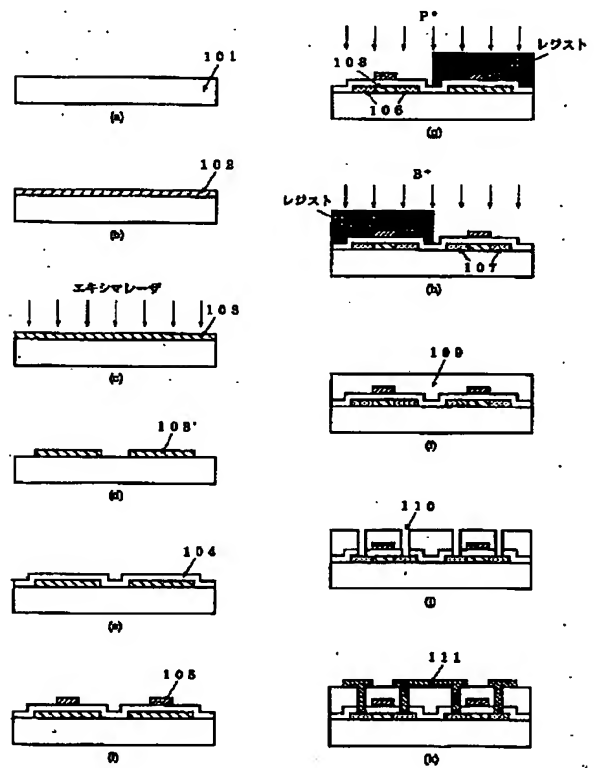
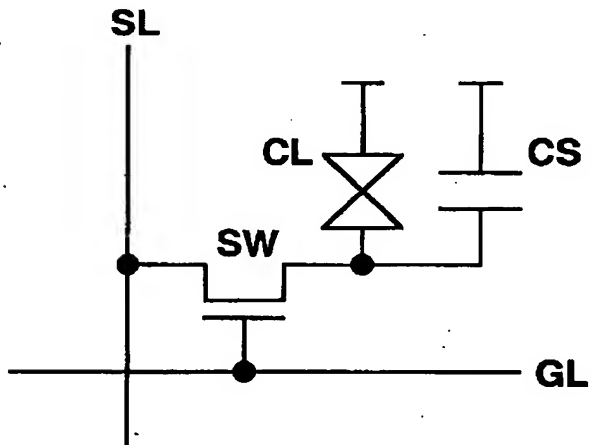


【図10】

【図8】

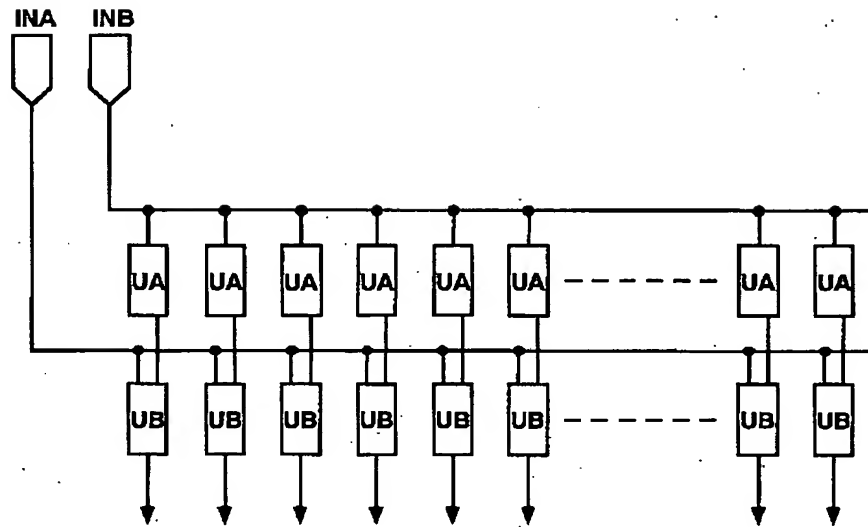


【図14】

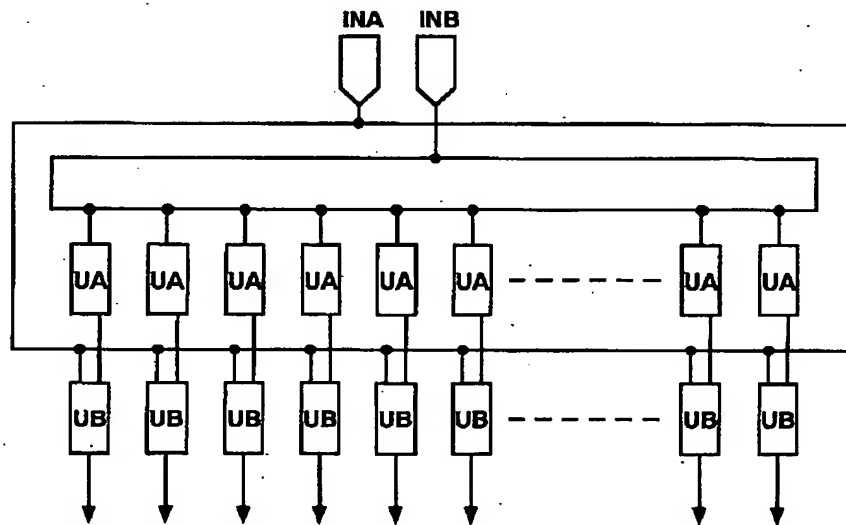


(13)

【図11】

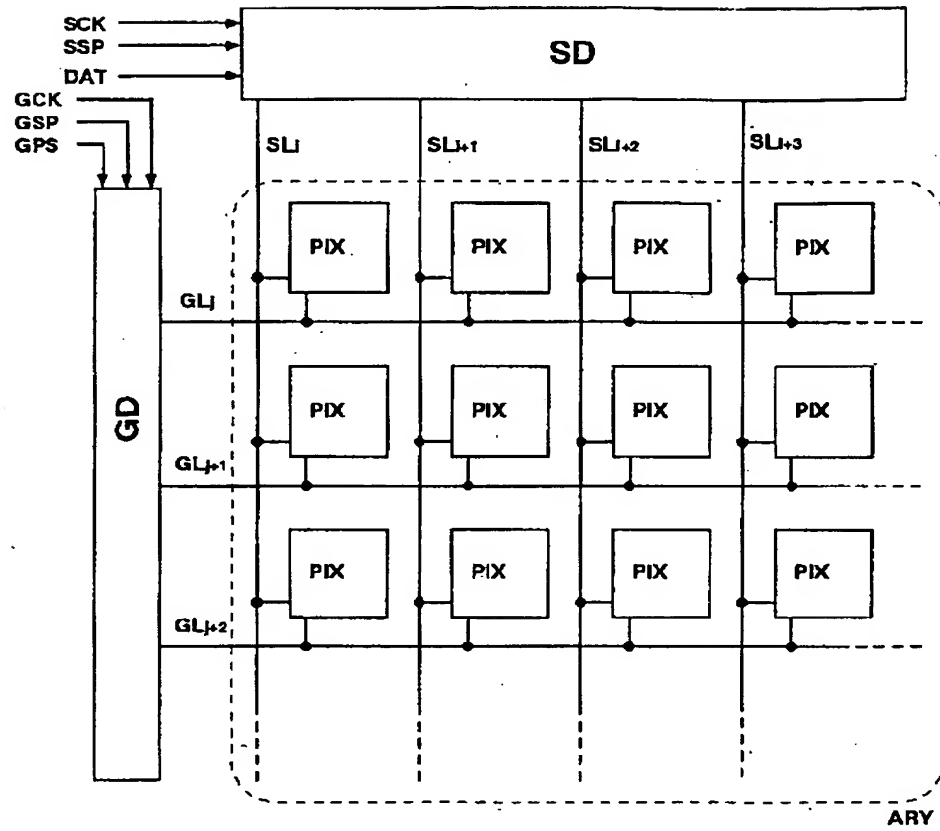


【図12】

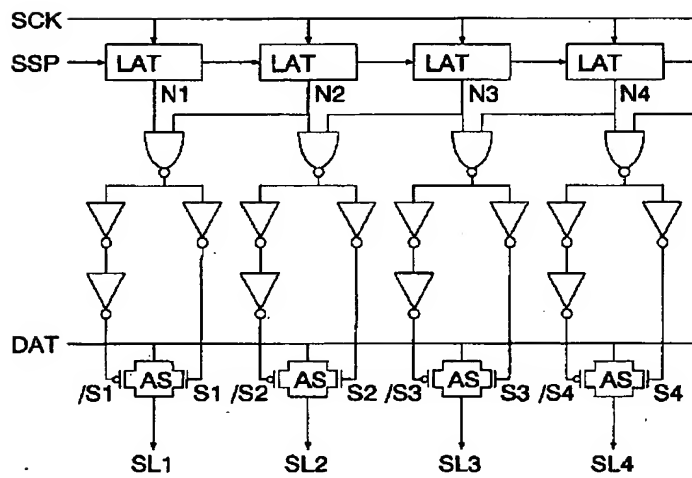


(14)

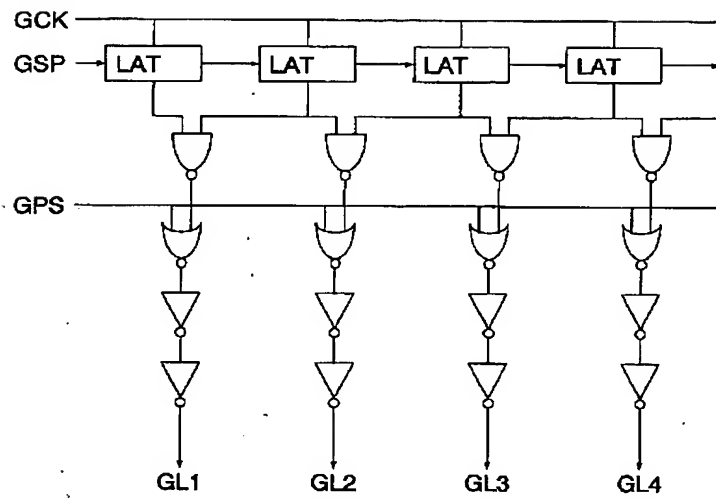
【図13】



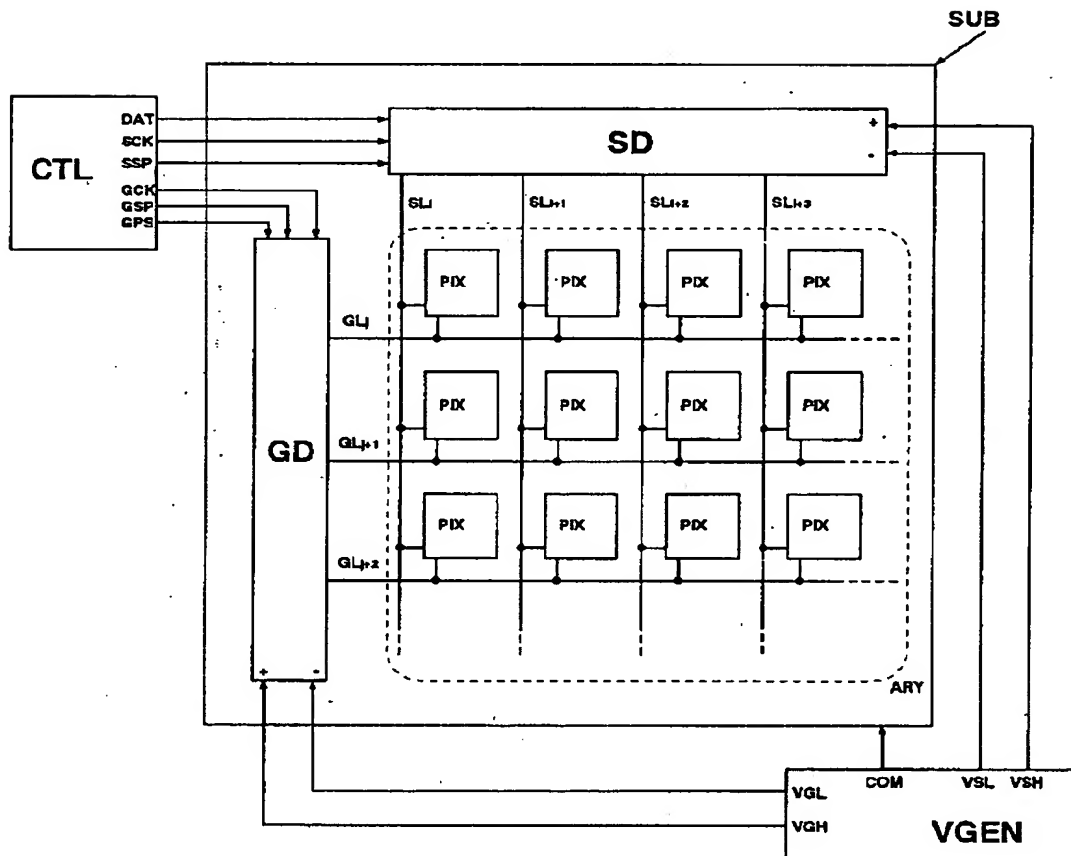
【図15】



۱۰۰



【図 17】



(16)

フロントページの続き

(72) 発明者 グラハム ケインズ
イギリス国 オーエックス4 4ジーエイ
オックスフォード, オックスフォード
サイエンスパーク エドモンドハリーロー
ド, シャープヨーロッパ研究所内

(72) 発明者 山下 英彦
イギリス国 オーエックス4 4ジーエイ
オックスフォード, オックスフォード
サイエンスパーク エドモンドハリーロー
ド, シャープヨーロッパ研究所内

Fターム(参考) 2H092 JA25 JA29 JA38 JA42 JA44
JB13 JB23 JB32 JB38 JB51
JB56 JB61 NA13 NA25 NA27
NA29 PA06
2H093 NA16 NA79 NC16 NC34 ND05
ND09 ND10 ND15 ND32 ND34
ND36 NE07